

PAT-NO: JP406332583A

DOCUMENT-IDENTIFIER: JP 06332583 A

TITLE: POWER CONTROLLER FOR DIGITAL ELECTRONIC EQUIPMENT,  
PROCESSOR WITH THE POWER CONTROLLER, AND POWER MANAGEMENT  
SYSTEM FOR DIGITAL ELECTRONIC EQUIPMENT WITH THE  
PROCESSOR

PUBN-DATE: December 2, 1994

INVENTOR-INFORMATION:

NAME

YOSHIDA, YUKIHIRO

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP05122976

APPL-DATE: May 25, 1993

INT-CL (IPC): G06F001/26, G06F001/32 , G06F001/04

ABSTRACT:

PURPOSE: To control the power of a digital electronic equipment by a logic system means by providing a control means which decodes the encoded power management instruction and outputs a control signal based on the decoded power management instruction.

CONSTITUTION: A program storage section 11 outputs an instruction program written in a ROM 10 based on the micro order from a control instruction decoder 14. An address counter 12 accesses to the ROM 10 and a control instruction register 13 stores the instruction program written in the ROM 10. The control instruction decoder 14 decodes the instruction stored in the register 13 and outputs the micro order to an I/O controller and a register group 15. The register group 15 is provided with a register storing the instruction and data of power management to be given to the individual control part PR of the CPU and the instruction and data of power management which is given to the individual instruction control part PR for I/O controller.

COPYRIGHT: (C)1994,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-332583

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/26				
1/32				
1/04	3 0 1 C	7165-5B		
		7165-5B	G 0 6 F 1/ 00	3 3 4 H
		7165-5B		3 3 2 B
審査請求 未請求 請求項の数 5 O L (全 45 頁) 最終頁に続く				

(21) 出願番号 特願平5-122976

(22) 出願日 平成5年(1993)5月25日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉田 幸弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

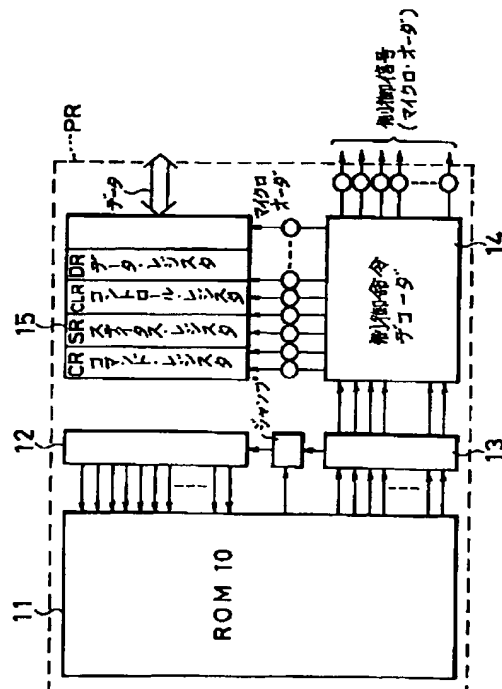
(74) 代理人 弁理士 川口 義雄 (外1名)

(54) 【発明の名称】 デジタル電子機器用電力制御装置、該電力制御装置を備えた処理装置、及び該処理装置を備えたデジタル電子機器用電力管理システム

(57) 【要約】

【目的】 システム全体の消費電力を低減でき、自由度が高いデジタル電子機器用電力管理装置を提供する。

【構成】 符合化された電力マネージメント命令を復号して記憶すると共に復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えている。



## 【特許請求の範囲】

【請求項1】 符合化された電力マネージメント命令を復号して記憶すると共に当該復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えていることを特徴とするデジタル電子機器用電力制御装置。

【請求項2】 電源を所定のモードに設定して当該設定されたモードに基づいて入出力を制御して消費電力を低減することを特徴とする請求項1に記載のデジタル電子機器用電力制御装置を備えた処理装置。

【請求項3】 請求項2に記載の処理装置の複数の電力を所定の方法により制御してシステム全体の消費電力を低減することを特徴とするデジタル電子機器用電力管理システム。

【請求項4】 外部に設けられたマイクロ・コンピュータにより電源またはクロック周波数を制御して電力消費を低減させることを特徴とする請求項1に記載のデジタル電子機器用電力制御装置を備えた処理装置。

【請求項5】 請求項1に記載のデジタル電子機器用電力制御装置が複数のプログラム命令を有しており、該デジタル電子機器用電力制御装置がシステムを構成する中央処理装置及び各種入出力コントローラの全てまたは一部に備えられており、該デジタル電子機器用電力制御装置の該複数のプログラム命令に基づいて該中央処理装置及び該各種入出力コントローラの電力制御を行って該システムの電力消費を低減することを特徴とするデジタル電子機器用電力管理システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デジタル電子機器に適用できる電力制御装置、該電力制御装置を備えた処理装置、及び該処理装置を備えたデジタル電子機器用の電力管理システムに関する。

## 【0002】

【従来の技術】一般に、パーソナルコンピュータ等のデジタル電子機器では、大きさの小型化が進むと共に電池駆動の要求が多く、消費電力を極めて小さくできるシステムの開発が盛んに研究されている。

【0003】特に、消費電力を極めて小さくするために、システムを構成している半導体デバイスの低消費電力化という物理的手段で消費電力を下げるだけでなく、システム設計によって消費電力を減らすという論理的手段で消費電力を下げるができるシステムを構築することが重要になってきている。

【0004】通常、デジタル電子機器は、それぞれが固有のデータ処理機能の特性を有している中央処理装置（CPU）、各種入出力（I/O）コントローラ、及び記憶装置（メモリ、バッファ等）によってシステム構成されており、従来のデジタル電子機器用電力管理装置は、1つのパワーコントローラによりCPU、各種I/O

コントローラ、及び記憶装置への電力供給を制御する集中パワーマネージメント方式を用いている。

## 【0005】

【発明が解決しようとする課題】しかしながら、上述した従来のデジタル電子機器用電力管理装置では、CPUや各種I/Oコントローラの電力（パワー）を個々に制御することができず、無駄な電力を消費してしまうという問題点があった。また、従来のデジタル電子機器用電力管理装置では、ハードウェアに依存する部分とそうでない部分とにモジュール分割されたオペレーティング・システム（OS）のプログラムを形成するベシック・インプットアウトプット・システム（BIOS）によるパワーマネージメントサポートを用いているので自由度が低いという問題点があった。

【0006】本発明の第1の目的は、上記従来のデジタル電子機器用電力管理装置における問題点に鑑み、論理的システム手段によりデジタル電子機器の電力を制御できるデジタル電子機器用電力制御装置を提供することにある。

【0007】また、本発明の第2の目的は、電力を個々に制御できる上記デジタル電子機器用電力制御装置を備えたCPUや各種I/Oコントローラ等の処理装置を提供することにある。

【0008】更に、本発明の第3の目的は、上記デジタル電子機器用電力制御装置を備えたデジタル電子機器を構成するCPUや各種I/Oコントローラの電力を個々に制御してシステム全体の消費電力を低減でき、自由度が高いデジタル電子機器用電力管理システムを提供することにある。

## 【0009】

【課題を解決するための手段】本発明の第1の目的は、符合化された電力マネージメント命令を復号して記憶すると共に復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えているデジタル電子機器用電力制御装置によって達成される。

【0010】本発明の第2の目的は、電源を所定のモードに設定して設定されたモードに基づいて入出力を制御して消費電力を低減するデジタル電子機器用電力制御装置を備えた処理装置によって達成される。

【0011】本発明の第3の目的は、処理装置の複数の電力を所定の方法により制御してシステム全体の消費電力を低減するデジタル電子機器用電力管理システムによって達成される。

【0012】本発明の処理装置は、外部に設けられたマイクロ・コンピュータにより電源またはクロック周波数を制御して電力消費を低減させるように構成されてもよい。

【0013】本発明のデジタル電子機器用電力管理システムは、デジタル電子機器用電力制御装置が複数のプログラム命令を有しており、デジタル電子機器用電力制御

装置がシステムを構成する中央処理装置及び各種入出力コントローラの全てまたは一部に備えられており、デジタル電子機器用電力制御装置の複数のプログラム命令に基づいて中央処理装置及び各種入出力コントローラの電力制御を行ってシステムの電力消費を低減するように構成されてもよい。

#### 【0014】

【作用】本発明のデジタル電子機器用電力制御装置では、制御手段は符合化された電力マネージメント命令を復号して記憶すると共に復号された電力マネージメント命令に基づいて制御信号を出力する。

【0015】本発明のデジタル電子機器用電力制御装置を備えた処理装置は、電源を所定のモードに設定して設定されたモードに基づいて入出力を制御して消費電力を低減する。

【0016】本発明のデジタル電子機器用電力管理システムは、処理装置の複数の電力を所定の方法により制御してシステム全体の消費電力を低減する。

【0017】本発明の処理装置は、外部に設けられたマイクロ・コンピュータにより電源またはクロック周波数を制御して電力消費を低減する。

【0018】本発明のデジタル電子機器用電力管理システムは、システムを構成する中央処理装置及び各種入出力コントローラの全てまたは一部に備えられており、デジタル電子機器用電力制御装置の複数のプログラム命令に基づいて中央処理装置及び各種入出力コントローラの電力制御を行ってシステムの電力消費を低減する。

#### 【0019】

【実施例】以下、図面を参照して本発明のデジタル電子機器用電力制御装置、該デジタル電子機器用電力制御装置を備えた処理装置、及び該処理装置の実施例を詳細に説明する。

【0020】図1は、第1発明のデジタル電子機器用電力制御装置の制御手段である個別制御部PRの一実施例の構成を示すブロック図である。

【0021】図1の個別制御部PRは、リードオンリメモリ（ROM）10に書き込まれた命令を出力するプログラム記憶部11、プログラム記憶部11に接続されておりROM10をアクセスするアドレスカウンタ12、プログラム記憶部11に接続されておりROM10に書き込まれた命令を記憶する制御命令レジスタ13、制御命令レジスタ13に接続されており制御命令レジスタ13に記憶された命令をデコードして制御信号（マイクロオーダ）を出力する制御命令デコーダ14、制御命令デコーダ14に接続されておりシステムの電源投入時にパワーマネージメントの命令及びデータを記憶して処理するレジスタ・グループ15によって構成されている。

【0022】制御命令デコーダ14及びレジスタ・グループ15は、個別制御部PRが接続される中央処理装置（CPU）または各入出力（I/O）コントローラにそれぞ

れ接続されている。制御命令デコーダ14は、CPUまたは各I/Oコントローラとデータの授受を行い、レジスタグループ15は、CPUまたは各I/Oコントローラを制御するためのマイクロオーダをCPUまたは各I/Oコントローラに出力する。

【0023】個別制御部PRは、待避イベントや復帰イベントの割込によって、個別制御部PR、CPU及び各I/Oコントローラの主従関係をスイッチするためのロジック及びパワーマネージメントの起動を検知するロジックを備えている。

【0024】電源投入時に個別制御部PRのコマンド・レジスタやデータ・レジスタに入力されるパワーマネージメントの命令は、CPUや各I/Oコントローラの機能に応じて異なるので、この命令を解釈実行する個別制御部PRのROM10には、それぞれ異なったプログラムが記憶されているので、例えば、CPUの個別制御部PRを構成するプログラム記憶部11のプログラムと、PI/Oの個別制御部PRを構成するプログラム記憶部11のプログラムとは異なる。また、機能に応じて個別制御部PRのプログラム記憶部11をROM10の代わりにAND/ORゲートで構成してもよい。

【0025】個別制御部PRは、それが属する装置と一体式に形成されてもよく、それが属する装置と着脱自在に設けてもよい。

【0026】また、個別制御部PRを構成するプログラム記憶部11は、個別制御部PRと一体式に形成されてもよく、個別制御部PRと着脱自在に設けてもよい。

【0027】更に、電源投入時にCPUが個別制御部PRに知らせるパワーマネージメントの命令やデータは、システムのアドレスバスやデータバスを通じて個別制御部PRのレジスタグループ15を構成しているコマンド・レジスタやデータ・レジスタ等に入力される。個別制御部PRの命令は、通常のマイクロコンピュータと同様な形式でありオペランドとオペレータから構成されている機械語命令である。

【0028】マイクロオーダは、個別制御部PR内の各レジスタの入出力ゲート、CPUや各I/Oコントローラのレジスタ並びにメモリ部の入出力ゲートを制御する。

【0029】次に、個別制御部PRを構成する上記各構成部分の動作を説明する。

【0030】プログラム記憶部11は、ROM10を含んでおりROM10に書き込まれた命令プログラムを制御命令デコーダ14から出力されるマイクロオーダに基づいて出力する。なお、上述したようにプログラム記憶部11は、個別制御部PRの機能に応じてROMの変わりにAND/ORゲートにより構成されてもよいが、本実施例では、ROMを用いた場合について説明する。

【0031】アドレスカウンタ12は、ROM10をアクセスする。制御命令レジスタ13は、ROM10に書き込まれ

10

20

30

40

50

た命令のプログラムを記憶する。制御命令デコーダ14は、制御命令レジスタ13に記憶された命令をデコードして個別制御部PRが接続されたI/Oコントローラ(またはCPU)及びレジスタ・グループ15にマイクロオーダをそれぞれ出力する。レジスタグループ15はコマンド・レジスタ、データ・レジスタ、ステータス・レジスタ、コントロール・レジスタにより構成されており、それらのレジスタは、システムの電源投入時にCPUがCPU自体の個別制御部PRに与えるパワーマネージメントの命令やデータ及びCPUが各I/Oコントローラの個別制御部PRに与えるパワーマネージメントの命令やデータを記憶しておくレジスタ、個別制御部PRがパワーマネージメントの命令を処理するのに必要なワーク用レジスタ等に分類される。

【0032】図1の個別制御部PRはそれ自身で小規模なマイクロコンピュータを形成しており、後述するように、デジタル電子機器を形成しておりそれぞれが固有のデータ処理特性を有するCPUや各I/Oコントローラ毎に個別制御部PRを設けることによって、CPUや各I/Oコントローラを個別にパワーマネージメントできる分散パワーマネージメント・システム(以下、システムと称する)を構成する。

【0033】以下、システムにおける個別制御部PRの動作、特にCPU及び各I/Oコントローラに接続された個別制御部PRの動作を図2のフローチャートを参照して説明する。

【0034】まず、電源を投入してシステムを初期化し(ステップS1)、CPUによりCPU及び各I/Oコントローラの個別制御部PRのレジスタにそれぞれの機能に応じたパワーマネージメントの処理情報を予め格納し(ステップS2)、初期化されたシステムがパワーマネージメントを必要するか否かを検出し(ステップS3)、上記ステップS3の検出の結果、システムがパワーマネージメントを必要したときに(YESの場合)、各I/Oコントローラの個別制御部PRがそれぞれの機能に応じてパワーマネージメントを既に実行しているか否かを判別し(ステップS4)、上記ステップS4で、まだ実行していないときは、各I/Oコントローラの個別制御部PRにより各機能に応じてパワーマネージメントを実行して各I/Oコントローラの電源を制御し(ステップS5)、上記ステップS4で、既に実行状態であれば、各I/Oコントローラ毎に全てパワーマネージメントを実行し、それぞれが実行状態か否かを判別し(ステップS6)、上記ステップS6でYESの場合には、CPUや各I/Oコントローラを主(メイン)として稼働させて通常の演算等の実行処理を行い(ステップS7)、上記ステップS3で各I/Oコントローラ毎にパワーマネージメントを要しかつ各I/Oコントローラの個別制御部PRがパワーマネージメントの実行時以外であるか否かを判別し(ステップS8)、上記ステップS

8でYESの場合には、各I/Oコントローラの個別制御部PRのロジック(Logic)をメインとして稼働させ、各I/Oコントローラを従(サブ)として稼働させて各I/Oコントローラを制御する(ステップS9)。

【0035】また、上記ステップS6でNOの場合には、各I/Oコントローラを各機能に応じて異なる状態(待機、待避、実行等の状態)に維持する(ステップS10)。一例として、フル・パワーが懸かっている状態で待避を必要とするパワーマネージメントのイベントがあったときにはCPUの個別制御部PRをメインとして稼働させCPUをサブとして稼働させ、パワーマネージメントを個別制御部PRのロジックに基づいて実行して直流(DC)バイアスが懸かったタイミングに入り、このタイミング中に、キーまたはタイマから復帰イベントの入力があったときにはCPUをメインとして稼働させてシステムが復帰することを各I/Oコントローラに知らせて実行状態に入り、CPUの個別制御部PRをサブとして稼働させる。

【0036】なお、図1の個別制御部PRは、フロッピディスクやハードディスクを使用しているシステムに対しても同様にパワーマネージメントを実行できる。

【0037】図3は、図1の個別制御部PRを備えたシステムの一構成例を示すブロック図である。

【0038】図3のシステムは、ICカードや外部記憶装置として、フラッシュメモリを使用しており、待避イベント、復帰イベント等によって電源をコントロールするパワーコントロール部を備えている。

【0039】図3のシステムでは、各入出力(I/O)コントローラの実質的なパワーコントロールは、並列入出力(PI/O)コントローラのパワーコントロール出力によって行なわれる。

【0040】図3のシステムでは、電源ラインは直列に接続されているように示されているが、物理的にはCPUや各I/Oコントローラ毎に並列に接続されている。また、図3のシステムでは、電源はメインメモリ20、ICカード21、フラッシュメモリ22、V-RAM23等のメモリにそれぞれ直列または並列に接続されている。更に、図3のシステムでは、総計11の個別制御部PRが設けられているので、これら個別制御部PRによって、DCバイアスモード(システムスタンバイ)にあるときを“1”、そうでないときを“0”と設定することにより、システムが2通りの状態をもつことができ、自由度の高いパワーマネージメントシステムを実現できる。また、個別制御部PRを用いた分散パワーマネージメント方式では、ベシック・インプット・アウトプット・システム(BIOS)サポートも不要であり、全ての個別制御部PRのスタートアップは、システムの入出力(I/O)トラップや種々の入出力(I/O)の割込によるシステムマネージメントによって開始される。ま

た、リアルタイムクロックの最優先の割込を除いて、待避キー、復帰キー等のスペシャル・キーSK（後述する）の割込をいつでも受け付けることができる。

【0041】図4は、待避キー、復帰キー等のスペシャル・キーSKや電源スイッチにより電源がフルパワー及びDCバイアスに変化したときの電源の動作を示す。

【0042】この電源の動作は、CPUや各I/Oコントローラの状態により、時間的にそれぞれ異なっているが、システムの状態によっては、CPUや各I/Oコントローラもシステムの電源動作と同一になる場合がある。

【0043】図5は、システムの移り変りを示す状態図である。システムには各種の割込が発生するが、それぞれの割込に優先順位をつける。優先順位はシステムのアプリケーションによって異なるが、本実施例では次のように設定する。

【0044】

優先順位1 リアルタイムクロックイベント

優先順位2 スペシャル・キーSK入力（待避／復帰key）イベント

優先順位3 タイマーイベント

優先順位4 通信イベント

優先順位5 メモリ転送（DMA）イベント

優先順位6 その他（同順位）イベント

本実施例では多重割込はないものとするが、多重割込を許すシステムでも、割込スタックレジスタを設けることにより、個別制御部PRを用いた分散パワーマネージメント方式によるシステムを形成できる。

【0045】システムの状態には、電源投入時のシステムが初期化されるイニシャライズの状態、システムが演算等を実行した後のディスプレイや入力待ちを示す待機状態、システムがデータ処理中であることを示す実行状態及び上述した割込によって起る待避状態がある。

【0046】図5は、システムのイベントによる状態の変化を示す。

【0047】例えば、リアルタイムクロックは、最も優先度が高いが、時刻をいつでも表示するような場合、システムは常にリアルタイムクロックの割込要求を受け付けて表示しなければならない。これは図5では復帰イベントに相当する。また、時刻が何時何分になればシステムを非動作に設定するような場合は、図5では待避イベントに相当する。

【0048】通信イベントでは、受信データの受信要求は、システムとは常に非同期に起り、割込優先度は高い方にもってくるのが普通であるが、データ長が決めているので1フレームの受信とする。完全な受信は、受信要求をシステムが出して行く。これは、図5では復帰イベントに相当する。

【0049】スペシャル・キーSKによる入力イベントは、システムの使用者が人為的に、システムを待避状態

にしたり実行状態にしたりするキー入力イベントであり、図5では待避イベント、復帰イベントに相当する。

【0050】タイマー・イベントは、システムが待機状態にあるとき、一定時間が経過すれば表示装置の表示を消すとか、システムを待避状態にするとか、待避状態から待機状態にする時間的なイベントである。

【0051】上述したことは状態遷移の一例であり、システムのアプリケーションによって多様なイベントがある。

10 【0052】システム全体及びシステムを構成するCPUや各I/Oコントローラは、それぞれの個別制御部PRにより、待避イベントがあれば図5に示す待避状態（即ち、システムスタンバイ（DCバイアスモード））を生み出すことができる。

【0053】以下、本実施例のシステムに用いられている電力コントロール回路、CPU、各I/Oコントローラ、及び各メモリについて詳述する。

【0054】図6は、電力コントロール回路PCCの一構成例を示す。

20 【0055】図6の電力コントロール回路PCCは、2つのトランジスタからなり、PI/Oのパワーコントロールポートから出力される信号A、Bが各トランジスタのベース入力端子TA、TBにそれぞれ入力される。

【0056】なお、システムのアプリケーションによってトランジスタの数は変化する。また、トランジスタを個々に用いてもよいし、トランジスタをIC化して用いてもよい。

【0057】図7は、図6の電力コントロール回路PCCを用いたシステムの一構成例を示す。

30 【0058】図7に示すように、図6の電力コントロール回路PCCは、CPUや各I/Oコントローラにそれぞれ個々に接続されており、PI/Oのパワーコントロールポートから出力されるフルパワーにするためのコントロール信号AとDCバイアス・レベルにするための信号Bが2つのトランジスタのベースにそれぞれ入力されて、CPUや各I/OコントローラをフルパワーまたはDCバイアスレベルに設定する。

【0059】パワーマネージメントによってCPUや各I/Oコントローラの電源をスイッチングする電力コントロール回路PCCは、Bi-CMOS技術によってパワーコントロール部内に集積回路化して内蔵させることができる。

【0060】図8は、図6及び図7の具体的構成を示す。

【0061】外部に設けられたパワー・コントロールとPCCの端子Ai、Biとは、パワー・コントロールに含まれているトランジスタ回路部によって接続されており、オン電流、オフ電流は端子Ai、Biとパワー・コントロールとの間を図8に示す方向にそれぞれ流れる。

50 【0062】図8に示すように、端子Ai、Biにはト

ランジスタがそれぞれ配置されており、各端子A<sub>i</sub>、B<sub>i</sub>はパワー・コントロールに含まれているB<sub>i</sub>-CMOS集積回路に接続されている。

【0063】なお、図中、端子A<sub>i</sub>、B<sub>i</sub>は図6の端子A、Bにそれぞれ対応している。

【0064】図9及び図10は、個別制御部PRを有する並列入出力(P<sub>I</sub>/O)コントローラの一構成例を示す。

【0065】図9に示すように、P<sub>I</sub>/Oコントローラの個別制御部PRから出力されたマイクロ・オーダは、P<sub>I</sub>/Oコントローラを構成する第1及び第2グループ・コントロール、コマンド・レジスタ、第1～第4ポートの各制御ゲートCGに入力される。

【0066】次に、図10のP<sub>I</sub>/Oコントローラの個別制御部PRに含まれている各レジスタの動作を説明する。

【0067】コマンド・レジスタやデータ・レジスタには、システムの電源投入時P<sub>I</sub>/Oの個別制御部PRが実行するパワー・マネージメントの命令やデータが後述する表1の各モードを実行処理するためにコード化されて入力されている。

【0068】ステイタス・レジスタには、個別制御部PRがパワー・マネージメントをしているステイタスの情報が、個別制御部PR自体のコントロールによって入力されている。このステイタス情報は、パワー・マネージメントを行なっているか否かの情報、各モードの種別、及び各モードの処理の実行ステイタスがコード化されている。

\*【0069】コントロール・レジスタには、タイムアウトの設定値やクロックダウン時の制御値等が入力されている。

【0070】P<sub>I</sub>/Oの個別制御部PRは、各ポートのコントロール、各レジスタの入出力のコントロールに使われるマイクロオーダを出力する。更に、P<sub>I</sub>/Oの個別制御部PRは、後述する直列入出力(S<sub>I</sub>/O)コントローラやリアル・タイム・クロック(RTC)等のシステムを構成するP<sub>I</sub>/O以外の構成部分の電源をコントロールするマイクロオーダをも出力する。

【0071】P<sub>I</sub>/Oコントローラは、CPUとバス接続されてプリンタインターフェイス等に用いられ、プログラマブルにパラレルデータの入出力を行う。

【0072】図11は、P<sub>I</sub>/Oの状態の移り変りを示す。

【0073】図11に示すように、P<sub>I</sub>/Oの状態は、上述した図5のシステム全体の状態と同様であるが、時間的に見ると異なる。

【0074】例えば、システムが実行状態にあってもプリント出力がないような状態であり、P<sub>I</sub>/Oは待機状態にある。

【0075】次に、システムの中で、各状態におけるP<sub>I</sub>/Oの個別制御部PRが論理的に実行する物理的なパワー・マネージメントの一例を表1に示す。これはシステムのアプリケーションにより異なる。

【0076】

【表1】

表-1 P<sub>I</sub>/Oのパワー・マネージメントモード(例)

	イニシャライズ	待機	実行	待避	Δ:選択
クロックダウン		○			
クロックストップ		Δ		○	
マシーステートセーブ				○	
DCバイアスモード		Δ		○	
タイムアウト		○			
パワーオン	○	○	○		
パワーオフ <sup>†</sup>				○	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○		Δ		

<sup>†</sup>印は物理的パワーオフでなく論理的パワーオフである。

【0077】ここで、表1の各項目を説明する。

【0078】クロックダウンは、P<sub>I</sub>/O内のクロック周波数を複数段階設けて、周波数を下げる。クロックストップは、P<sub>I</sub>/O内のクロックを停止させる。マシーステートセーブは、P<sub>I</sub>/O内の状態を一時記憶する。DCバイアスモードは、電源をコントロールしてP<sub>I</sub>/Oの電源をDCバイアスレベルにする(P<sub>I</sub>/Oの個別制御部PRが実行)。タイムアウトは、設定されたタイム値になればP<sub>I</sub>/OはDCバイアスモードに入る(P※50

※I/Oの個別制御部PRが実行)。ディスプレイパワーオフは、表示の電源をコントロールして遮断する。バックライトパワーオフは、液晶表示(LCD)のバックライトの電源を遮断する等である。

【0079】図12及び図13は、個別制御部PRを有する中央処理装置(CPU)の一構成例を示す。

【0080】図12に示すように、CPUの個別制御部PRから出力されたマイクロ・オーダは、CPUを構成するレジスタ/論理演算装置(ALU)制御部に入力さ

れる。

【0081】次に、図13に示すCPUの個別制御部PRに含まれている各レジスタ（スタック・レジスタ及びジェネラル・レジスタを除く）について説明する。

【0082】コマンド・レジスタやデータ・レジスタには、システムの電源投入時、CPUの個別制御部PRが実行するパワーマネジメントの命令やデータが表2の各モードを実行処理するためにコード化されて入力される。

【0083】ステイタス・レジスタには、個別制御部PRがパワーマネジメントをしているステイタスの情報が個別制御部PR自体のコントロールによって入力されている。このステイタス情報は、パワーマネジメントを実行しているか否かの情報、各モードの種別、及び各モードの処理の実行ステイタスがコード化されている。

【0084】コントロール・レジスタには、タイムアウトの設定値や、クロックダウン時の制御値が入力されている。CPUの個別制御部PRから入力されるマイクロオーダーは、レジスタ・グループの入出力、その他をコントロールするために使われる。

【0085】電源をコントロールするときは、CPUの個別制御部PRがPI/Oコントローラの個別制御部PR\*

表-2 CPUのパワーマネジメントモード (例)

	イニシャライズ	待機	実行	待避	Δ:選択
クロックダウン		○			
クロックストップ		Δ		○	
マシンステートセーブ				○	
DCバイアスモード		Δ		○	
タイムアウト		○			
パワーオン	○	○	○		
パワーオフ <sup>*</sup>				○	
ディスプレイパワーオフ					
バックライトパワーオフ	○		Δ		

\* 印は物理的パワーオフでなく論理的パワーオフである。

【0090】ここで、表2の各項目を説明する。

【0091】クロックダウンは、CPU内のクロック周波数を複数段階に設定して周波数を下げる。クロックストップは、CPU内のクロックを停止させる（例えば、外部からのI/O待ちに相当する）。マシンステートセーブは、CPU内の状態を一時記憶する。DCバイアスモードは、CPUの個別制御部PRが待避状態に入ること

PI/Oコントローラの個別制御部PRに知らせ、電源をコントロールしCPUの電源をDCバイアスレベルにする。タイムアウトは、設定されたタイマ値になれば、CPUの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせ、CPUがDCバイアスモードに入る。ディスプレイパワーオフは、CPUの個別制御部PRがPI/Oコントローラの個別制御部PRにディスプレイの電源をコントロールすることを要求し※50

\* Rに要求を出して電源がコントロールされる。

【0086】CPUは、システム全体のデータ処理を行うために、固有の命令セット有しており、アドレスバス、データバス、コントロールバスを通して、演算命令、レジスタ命令、アドレス制御命令、I/O制御命令等を入力してシステムをコントロールする。

【0087】図14は、CPUの状態の移り変りを示している。システム全体をコントロールするユニットであることから、図5のシステム全体の状態とほとんど同じであるが、時間的に見ると変化はやはり異なっている。例えば、システムがモデムによる通信待ちのとき、CPUは待機しているということもある。システムアプリケーションによっては、システム外部からのイベントやI/O動作の起動を待っているときがある（即ち、待機している）。

【0088】次に、システムの中で各状態におけるCPUの個別制御部PRが論理的に実行する物理的パワーマネジメントの一例を表2に示す。これは、システムアプリケーションによって異なる。

20 【0089】

【表2】

※で遮断する。バックライトパワーオフは、LCDの場合、CPUの個別制御部PRがPI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0092】次に、図3に示されている各I/Oコントローラの概略を説明する。

【0093】これらのI/Oコントローラは、一般によく知られているものであり、ここでは各I/Oコントローラ自体の構成や動作の説明を省略して、個別制御部PRに関することについて説明する。なお、フラッシュ・メモリがファイル・メモリとして使用されるようになればフラッシュ・メモリ・コントローラ（FMC）がI/Oコントローラとして絶対に必要である。

【0094】まず、SI/Oの個別制御部PRに含まれている各レジスタを説明する。



【0095】コマンド・レジスタやデータ・レジスタには、システムの電源投入時SI/Oの個別制御部PRが実行するパワーマネージメントの命令やデータが後述する表3の各モードを実行処理するためにコード化されて入力されている。

【0096】ステータス・レジスタには、個別制御部PRがパワーマネージメントをしているステータスの情報が、個別制御部PRのコントロールによって入力されている。このステータス情報は、パワーマネージメントを実行しているか否かの情報、各モードの種別、及び各モード処理の実行ステータスがコード化されている。

【0097】コントロール・レジスタには、タイムアウトの設定値やクロックダウン時の制御値が入力されている。SI/Oの個別制御部PRから入力されるマイクロオーダは、各通信バッファのコントロール、各レジスタの入出力コントロールに使われる。

【0098】また、電源は、SI/Oの個別制御部PRがPI/Oコントローラの個別制御部PRに要求を出し\*

\*てコントロールされる。

【0099】SI/Oコントローラは、CPUのバスと接続されており、主に通信コントロールに用いられ、プログラムによって同期や調歩同期のシリアル通信を行う。

【0100】SI/Oコントローラの状態は、上述した図5のシステム全体の状態と同様であるが、時間的に見ると異なる。

【0101】例えば、システムが実行状態であっても、通信をしていないような状態では、SI/Oコントローラは待機中ということもある。

【0102】次に、システムの中で、各状態におけるSI/Oコントローラの個別制御部PRが論理的に実行する物理的なパワーマネージメントを一例を表3に示す。これは、システムのアプリケーションによっても異なる。

【0103】

【表3】

表-3 SI/Oのパワーマネージメントモード (例)

	イニシャ ライズ	待 機	実 行	待 避	△:選 択
クロックダウン		○			
クロックストップ		△		○	
マシンステートセーブ				○	
DCバイアスモード		△		○	
タイムアウト		○	△		
パワーオン	○	○	○		
パワーオフ <sup>†</sup>				○	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○		△		

†印は物理的パワーオフでなく論理的パワーオフである。

【0104】ここで、表3の各項目を説明する。

【0105】クロックダウンは、SI/Oコントローラ内のクロック周波数を複数段階に設定して周波数を下げる。クロックストップは、SI/Oコントローラ内のクロックを停止させる。マシンステートセーブは、SI/Oコントローラ内の状態を一時記憶する。DCバイアスモードは、SI/Oコントローラが待避状態に入ることをSI/Oコントローラの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせて電源をコントロールし、SI/Oコントローラの電源をDCバイアス・レベルにする。タイムアウトは、設定されたタイマ値になれば、SI/Oコントローラの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせて、SI/OコントローラがDCバイアス・モードに入る。

【0106】通信では、相手と接続できないような通話中等のように、実行中でもタイムアウトになるときがある。ディスプレイパワーオフは、SI/Oコントローラの個別制御部PRがPI/Oコントローラの個別制御部PRにディスプレイの電源をコントロールすることを要求※50

※して遮断する。バックライトパワーオフは、液晶表示(LCD)の場合、SI/Oコントローラの個別制御部PRがPI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する等である。

【0107】次に、リアル・タイム・クロック(RTC)コントローラの個別制御部PRに含まれる各レジスタについて説明する。

【0108】コマンド・レジスタやデータ・レジスタには、システムの電源投入時、RTCコントローラの個別制御部PRが実行するパワーマネージメントの命令やデータが後述する表4の各モードを実行処理するためにコード化されて入力されている。

【0109】ステータス・レジスタには、個別制御部PRがパワーマネージメントをしているステータスの情報が、個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネージメントを実行しているか否かの情報、各モードの種別、及び各モードの処理の実行ステータスがコード化されてい

る。

【0110】コントロール・レジスタには、タイムアウトの実時間設定値やクロックダウン時の制御値等が入力されている。個別制御部PRからRTCコントローラに入力されるマイクロオーダは、各レジスタの入出力コントロールに使われる。

【0111】電源は、RTCコントローラの個別制御部PRがPI/Oコントローラの個別制御部PRに要求を出してコントロールされる。

【0112】RTCコントローラは、CPUとインターフェイス（バス接続しないときもある）されるが、他のI/Oコントローラに比べると独立性が高く、一種の時計なので主に時計として使われる。

【0113】時計は、時刻の初期設定後、システムがどんな状態にあっても動作しているが、RTCコントローラ\*

表-4 RTCのパワー・マネージメントモード (例)

	イニシャライズ	待機	実行	待選	Δ:選択
クロックダウン		○			
クロックストップ		Δ		(○)	
マシンステートセーブ				○	
DCバイアスモード		Δ		○	
タイムアウト		○			
パワーオン	○	○	○		
パワーオフ*				○	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○		Δ		

\*印は物理的パワーオフでなく論理的パワーオフである。

【0117】ここで、表4の各項目を説明する。

【0118】クロックダウンは、時計のクロック(32.768KHZ)を除くRTCコントローラ内のクロック周波数を複数段階に設定して周波数を下げる。クロックストップは、時計のクロックを除いて、RTCコントローラ内のクロックを停止させる。マシンステートセーブは、RTCコントローラ内の状態を一時記憶する。DCバイアスモードは、RTCコントローラが待選状態に入ることをRTCコントローラの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせて、電源をコントロールしてRTCコントローラの電源をDCバイアスレベルにする。タイム・アウトは、設定された実時間になれば、RTCコントローラの個別制御部PRはPI/Oコントローラの個別制御部PRに知らせて、RTCコントローラはDCバイアスモードに入る。ディスプレイパワーオフは、設定された実時間になれば、RTCコントローラの個別制御部PRがPI/Oコントローラの個別制御部PRにディスプレイの電源をコントロールすることを要求して遮断する。バックライトオフは、LCDの場合、設定された実時間になれば、RTCコントローラの※50

\*ラを構成するとき、時計を除く部分はシステムと同様な状態の移り変わりがある。即ち、時計機能だけのときにはこのような移りわりはない。

【0114】RTCコントローラの状態は、図5に示すシステム全体の状態と同様であるが、時間に見ると変化は異なる。例えば、システムが実行状態にあっても、実時間の割込を出さないような状態、即ち時計を除き待機しているということがある。

【0115】次に、システムの中で各状態におけるRTCコントローラの個別制御部PRが論理的に実行する物理的なパワー・マネージメントの一例を表4に示す。これはシステムのアプリケーションによっても変る。但し、時計は常に動作しているものとする。

【0116】

【表4】

※個別制御部PRがPI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0119】次に、カウンタタイマコントローラ(CTC)の個別制御部PRに含まれている各レジスタについて説明する。

【0120】コマンド・レジスタやデータ・レジスタには、システムの電源投入時CTCの個別制御部PRが実行するパワー・マネージメントの命令やデータが表5の各モードを実行するためにコード化されて入力されている。

【0121】ステイタス・レジスタには、個別制御部PRがパワー・マネージメントをしているステイタスの情報が個別制御部PR自体のコントロールによって入力されている。このステイタス情報は、パワー・マネージメントを実行しているか否かの情報、各モードの種別、及び各モード処理の実行ステイタスがコード化されている。

【0122】コントロール・レジスタには、カウンタ値やクロックダウン時の制御値等が入力されている。CTCに個別制御部PRから入力されるマイクロオーダは、

各レジスタの入出力コントロールや各カウンタの入出力コントロールに使われる。電源コントロールは、CTCの個別制御部PRがPI/Oコントローラの個別制御部PRに要求を出して行なわれる。

【0123】CTCは、CPUバスと接続されており、システムのタイミング制御のための装置であり、ダイナミック・ランダム・アクセス・メモリ(D-RAM)のプログラマブルなリフレッシュカウンタとして使用される。

【0124】CTCの状態の移り変りを示している。CTCの状態図は図5のシステム全体の状態と同様であるが、時間的に見ると異なる。

\*

表-5 CTCのパワーマネジメントモード(例)

	イニシャライズ	待機	実行	待避	Δ:選択
クロックダウン		○			
クロックストップ		Δ		(x)	
マシンステートセーブ				○	
DCバイアスモード		x		x	
タイムアウト		○			
パワーオン	○	○	○		
パワーオフ*				○	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○		Δ		

\*印は物理的パワーオフではなく論理的パワーオフである。

【0128】ここで、表5の各項目を説明する。

【0129】クロックダウンは、CTC内のクロック周波数を複数段階に設定してクロック周波数を下げる。D-RAMのリフレッシュは下げた周波数で行なわれる。クロックストップは、D-RAMのリフレッシュカウンタを除いてCTC内のクロックを停止させる。マシンステートセーブは、CTC内の状態を一時記憶する。DCバイアスモードは、CTCではシステムのタイミング制御を行うので、設定されない。タイムアウトは、CTCではDCバイアスモードに入るのに対応しているタイムアウトは設定されないが、システムがタイムアウトに入る場合(例えば、待機時のタイムアウト)は設定される。ディスプレイパワーオフは、設定されたカウンタ値になればCTCの個別制御部PRはPI/Oコントローラの個別制御部PRに要求を出してディスプレイ電源を遮断する。バックライトオフは、LCDの場合、設定されたカウンタ値になれば、CTCの個別制御部PRがPI/Oコントローラの個別制御部PRに要求を出してバックライトの電源を遮断する。

【0130】続いて、インタラプト・コントローラ(INTC)の個別制御部PRに含まれている各レジスタについて説明する。

【0131】コマンド・レジスタやデータ・レジスタには、システムの電源投入時INTCが実行するパワーマ

\*【0125】例えば、システムが待機状態、待避状態にあっても、カウンタはシステムのタイミング制御のために動作している。これらの状態では、D-RAMのリフレッシュは、パワーマネジメントのため、クロックダウンして行なわれている場合に相当する。

【0126】次に、システムの中で、各状態におけるCTCの個別制御部PRが論理的に実行する物理的なパワーマネジメントの一例を表5に示す。これはシステムのアプリケーションによって異なる。

【0127】

【表5】

※ネージメントの命令やデータが後述する表6の各モードを実行するためにコード化されて入力されている。

【0132】ステータス・レジスタには、個別制御部PRがパワーマネジメントをしているステータスの情報が個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネジメントが実行されているか否かの情報、各モードの種別、及び各モードの処理の実行ステータスがコード化されている。

【0133】コントロール・レジスタには、クロックダウン時の制御値やタイムアウト時の制御値が入力されている。INTCの個別制御部PRから入力されるマイクロオーダは、各レジスタの入出力コントロールに使われる。電源コントロールはINTCの個別制御部PRがPI/Oコントローラの個別制御部PRに要求を出して行なわれる。

【0134】INTCは、CPUとバス接続されており、プログラマブルな割込コントロールが可能なディバイスであり、優先順位が付けられた割込入力信号を処理して、その割込要求をCPUに知らせる。

【0135】INTCの状態の移り変りは、図5のシステム全体の状態と同様であるが、時間的に見ると変化は異なる。

【0136】例えば、システムが実行状態であってもI

NTCは待機中ということもあり、システムの割込があって動作するから割込がない限り待機している。

【0137】スペシャル・キーSKによる割込イベントは、ノン・マスカブルな割込であり上述したように種々の割込がある。

【0138】次に、システムの中で、各状態におけるI\*

表-6 INT Cのパワーマネージメントモード (例)

	イニシャ ライズ	待 機	実 行	待 選	Δ:選 択
クロックダウン		○			
クロックストップ		Δ		○	
マシンステートセーブ			○	○	
DCバイアスモード		Δ		○	
タイムアウト		×	Δ		
パワーオン	○	○	○		
パワーオフ <sup>*</sup>				○	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○		Δ		

\* 印は物理的パワーオフでなく論理的パワーオフである。

【0140】ここで、表6の各項目を説明する。

【0141】クロックダウンは、INTC内のロック周波数を複数段階に設定して周波数を下げる。クロックストップは、INTC内のクロックを停止させる。マシンステートセーブは、INTC内の状態を一時記憶する。DCバイアスモードは、システムの中で割込があったことをCPUの個別制御部PRに知らせるが、もし待選状態に入るイベントであれば、INTCの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせてDCバイアスモードに入る。そうでなければCPUが割込み処理を行う。タイムアウトは、INTCはタイマ機能をもたないが、システムのタイムアウトによる割込を受付けてCPUの個別制御部PRに知らせ、待選状態に入るイベントであればINTCの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせて、INTCがDCバイアスモードに入る。ディスプレイパワーオフは、INTCの個別制御部PRがPI/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。バックライトパワーオフは、LCDの場合、INTCの個別制御部PRがPI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0142】次に、ダイレクト・メモリ・アクセス・コントローラ(DMAC)の個別制御部PRに含まれている各レジスタについて説明する。

【0143】コマンド・レジスタやデータ・レジスタには、システムの電源投入時、DMACが実行するパワーマネージメントの命令やデータが後述する表7の各モードを実行するためにコード化されて入力されている。

【0144】ステータス・レジスタには、個別制御部P\*

\* NTCの個別制御部PRが論理的に実行する物理的なパワーマネージメントの一例を表6に示す。これは、システムのアプリケーションによって異なる。

【0139】

【表6】

20※Rがパワーマネージメントをしているステータス情報が個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネージメントを実行しているか否かの情報、各モードの種別、及び各モード処理の実行ステータスがコード化されている。

【0145】コントロール・レジスタには、クロックダウン時の制御値が入力されている。DMACの個別制御部PRから入力されるマイクロオーダは、各レジスタやレジスタグループの入出力をコントロールするために使われる。電源コントロールは、DMACの個別制御部PRがPI/Oコントローラの個別制御部PRに要求を出して行なわれる。

【0146】DMACは、CPUとバス接続されており、CPUを介さないで、各メモリや各PI/Oコントローラ(例えば、外部接続されているフラッシュメモリ)を直接アクセスできるコントローラであり、メモリ転送や外部記憶装置とのリード/ライトに用いられる。

【0147】DMACの状態の移り変りは、図5のシステム全体の状態と同様であるが時間的に見ると異なる。例えば、システムが実行状態であっても、DMACは待機中ということもある。システムにDMAの要求があって、メモリ転送やPI/Oデータの転送が行なわれるので、DMA要求がない限り待機していることになる。

【0148】次に、システムの中で各状態におけるDMACの個別制御部PRが論理的に実行する物理的なパワーマネージメントの一例を表7に示す。これは、システムアプリケーションによって異なる。

【0149】

【表7】

表-7 DMACのパワーマネージメントモード(例)

	イニシャ ライズ	待 機	実 行	待 避	Δ:選 択
クロックダウン		Δ			
クロックストップ		○		○	
マシーステートセーブ				○	
DCバイアスモード		Δ		○	
タイムアウト		x			
パワーオン	○	○	○		
パワーオフ				○	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○		Δ		

Δ印は物理的パワーオフでなく論理的パワーオフである。

【0150】ここで、表7の各項目を説明する。

【0151】クロックダウンは、DMAC内のクロック周波数を複数段階に設定して周波数を下げる。クロックストップは、DMAC内のクロックを停止させる。マシーステートセーブは、DMAC内の状態を一時記憶する。DCバイアスモードは、DMACが待避状態に入ることを、個別制御部PRがPI/Oコントローラの個別制御部PRに知らせて電源をコントロールし、DMACの電源をDCバイアスモードにする。タイムアウトは、DMACはタイマ機能をもたないが、システムの中でタイマによる待避イベントがあれば、DMACの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせてDMACはDCバイアスモードに入る。ディスプレイパワーオフは、DMACの個別制御部PRがPI/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。バックライトパワー

オフは、LCDの場合、DMACの個別制御部PRがPI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0152】次に、フラッシュ・メモリ・コントローラ(FMC)の個別制御部PRに含まれている各レジスタについて説明する。

【0153】FMCがコントロールするフラッシュメモリは、動作中は、電力消費があっても、非動作時は全く電力が消費もなく、電源を供給しなくても記憶されているデータは保持されるので、メモリに対しては、いつでもパワーを遮断することができる(非動作時は物理的な遮断ができる)。後述する表8の各モードに加えて、フラッシュ・メモリ・パワーオフのモードがある。このコントロールは、FMCの個別制御部PRが非動作時であることを、ステータス・レジスタによって知ることができるので、FMCの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせて外部記憶装置(エクスターナル・メモリ)の電源を遮断することができる。

【0154】コマンド・レジスタやデータ・レジスタに\*

\*は、システムの電源投入時、FMCが実行するパワーマネージメントの命令やデータが表8の各モードを実行するためにコード化されて入力されている。

【0155】ステータス・レジスタには、個別制御部PRがパワーマネージメントをしているステータス情報がある。このステータス情報は、個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネージメントを実行しているか否かの情報、各モードの種別、及び各モード処理の実行ステータスがコード化されている。

【0156】コントロール・レジスタには、クロックダウン時の制御値が入力されている。FMCの個別制御部PRから入力されるマイクロオーダーは、FMCの各レジスタの入出力をコントロールするために使われる。

【0157】電源のコントロールはFMCの個別制御部PRがPI/Oコントローラの個別制御部PRに要求を出して行なわれる。

【0158】FMCは、CPUとバス接続されており、バイト単位の転送やワード単位、ブロック単位(例えば512B)の転送を行い、外部メモリに対してデータ・コントロールのリードやライト・コントロールを行う。また、外部メモリをファイルとして扱うファイルコントローラでもある。

【0159】FMCの状態の移り変りは、図5のシステム全体の状態と同様であるが、時間的に見ると変化は異なる。例えば、システムが実行状態であっても、FMCは待機中ということもある。システムが外部メモリに対して、リード要求やライト要求を出して、外部メモリからデータをリードしたり、外部メモリへライトするので、リードやライト要求がない限り待機状態になる。

【0160】次に、システムの中で、各状態におけるFMCの個別制御部PRが論理的に実行する物理的なパワーマネージメントの一例を表8に示す。これは、システムアプリケーションによって異なる。

【0161】

【表8】

表-8 FMCのパワーマネジメントモード (例)

	イニシャ ライズ	待 機	実 行	待 避	Δ: 通 切
クロックダウン		Δ			
クロックストップ		○		○	
マシーステートセーブ				○	
DCバイアスモード		Δ		○	
タイムアウト		×			
パワーオン	○	○	○		
パワーオフ <sup>‡</sup>				○	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○		Δ		

<sup>‡</sup> 印は物理的パワーオフでなく論理的パワーオフである。

【0162】ここで、表8の各項目を説明する。

【0163】クロックダウンは、FMC内のクロック周波数を複数段階に設定して、周波数を下げる。クロックストップは、FMC内のクロックを停止させる。マシーステートセーブは、FMC内の状態を一時記憶する。DCバイアスモードは、FMCが待避状態に入ることを、個別制御部PRがPI/Oコントローラの個別制御部PRに知らせて、電源をコントロールし、FMCの電源をDCバイアスモードにする。タイムアウトは、FMCではタイマ機能をもたないが、システムの中でタイマによる待避イベントがあれば、FMCの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせてFMCがDCバイアスモードに入る。ディスプレイパワーオフは、FMCの個別制御部PRがPI/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。バックライトパワーオフは、LCDの場合、FMCの個別制御部PRがPI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0164】続いて、ビデオ・データ・コントローラ(VDC)の個別制御部PRに含まれている各レジスタについて説明する。

【0165】コマンド・レジスタやデータ・レジスタには、電源投入時、VDCが実行するパワーマネジメントの命令やデータが表9の各モードを実行するためにコード化されて入力されている。

【0166】ステータス・レジスタには、個別制御部PRがパワーマネジメントをしているステータス情報が、個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネジメントを実行しているか否かの情報、各モードの種別、及び各モード処理の実行ステータスがコード化されている。

【0167】コントロール・レジスタには、クロックダウン時の制御値が入力されている。VDCの個別制御部PRから入力されるマイクロオーダーは、描画アドレス制御部や表示アドレス制御部、ビデオデータ制御部等の入出力(I/O)コントロールに使われる。

\* 【0168】電源のコントロールは、VDCの個別制御部PRがPI/Oコントローラの個別制御部PRに要求を出して行なわれる。

【0169】VDCは、CPUとバス接続されており、描画タイミングの選択、直線や円弧、四辺形、文字等の描画やスクロール、自動カーソル等ビデオデータのコントロールを行うコントローラである。

【0170】更に、ローカルバスには、ビデオ・ラム(以下、V-RAMと称する)がビデオデータの表示のために接続されるが、V-RAMのビットデータをコントロールするものである。このV-RAMには、D-RAMが使われるときもあるので、D-RAMのリフレッシュ機能を有する。

【0171】D-RAMの変わりに、リフレッシュが不要な疑似自己リフレッシュ・ラム(疑似S-RAM)を用いてもよい。

【0172】VDCは、CRTとインターフェイスされるか、またはリキッド・クリスタル・ディスプレイ・コントローラ(以下、LCDCと称する)としても使用される。この場合、LCDフラットディスプレイに接続されるので、LCD表示用データインタフェイスコンバータを含んだコントローラになるが、ビデオデータのコントロール機能は同一であり、VDCのパワーマネジメントの説明で充分であるので説明を省略する。

【0173】VDCの状態の移り変りは、図5のシステム全体の状態と同様であるが、時間的に見ると異なっている。例えば、システムが実行状態にあっても、VDCは待機しているということもある。システムがデータ処理(作表演算やファイルアクセス等)中であっても、VDCは、非動作でよく、データ処理の終了後にVDCは動作を始めればよいので、待機していることがある。

【0174】次に、システムの中で、各状態におけるVDCの個別制御部PRが論理的に実行する物理的なパワーマネジメントの一例を表9に示す。これは、システムアプリケーションによって異なる。

【0175】

\* 50 【表9】

表-9 VDCのパワーマネージメントモード (例)

	イニシャ ライズ	待 機	実 行	待 選	△:選 択
クロックダウン		△			
クロックストップ		×		(○)	
マシンステートセーブ				○	
DCバイアスモード		△		○	
タイムアウト		×			
パワーオン	○	○	○		
パワーオフ <sup>※</sup>				○	
ディスプレイパワーオフ					
バックライトパワーオフ	○		△		

※印は物理的パワーオフでなく論理的パワーオフである。

【0176】ここで、表9の各項目を説明する。

【0177】クロックダウンは、VDC内のクロック周波数を複数段階に設定して周波数を下げる。

【0178】クロックストップは、VDC内のクロックを停止させる。但し、V-RAMにD-RAMが使われているときはこのモードはない。S-RAMや疑似S-RAMが使用されているときはクロックを停止させることができる。

【0179】マシンステートセーブは、VDC内の状態を一時記憶する。

【0180】DCバイアスモードは、VDCの個別制御部PRが待選状態に入ることによりPI/Oコントローラの個別制御部PRに知らせて電源をコントロールし、VDCの電源をDCバイアスレベルにする。

【0181】タイムアウトは、VDCではタイマ機能をもたないが、システムの中でタイマによる待選イベントがあれば、VDCの個別制御部PRがPI/Oコントローラの個別制御部PRに知らせてVDCがDCバイアスモードに入る。

【0182】ディスプレイパワーオフは、VDCの個別制御部PRがPI/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。

【0183】バックライトパワーオフは、LCDの場合、VDCの個別制御部PRがPI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0184】次に、個別制御部PRを有するキーボード・コントローラ(KBC(SI/O(II)))の個別制御部PRに含まれている各レジスタについて説明する。

【0185】コマンド・レジスタやデータ・レジスタには、システムの電源投入時、KBCの個別制御部PRが実行するパワーマネージメントの命令やデータが表10の各モードを実行処理するためにコード化されて入力されている。

【0186】ステータス・レジスタには、個別制御部P\*50

\*Rがパワーマネージメントをしているステータス情報が個別制御部PR自体のコントロールによって入力されている。このステータス情報は、パワーマネージメントを実行しているか否かの情報や各モードの種別や各モードの処理の実行ステータスがコード化されている。

20 【0187】コントロール・レジスタには、クロックダウン時の制御値が入力されている。KBCに入力されるマイクロオダは、レジスタグループの入出力やその他をコントロールするために使われる。

【0188】電源をコントロールするときは、KBCの個別制御部PRがSI/O(II)の個別制御部PRを通してPI/Oコントローラの個別制御部PRに要求を出して電源がコントロールされる。

30 【0189】SI/O(II)は、常にKBCに同期して、シリアルにインターフェイスし、システムのキー入力を知らせ、キー入力処理を行う。また、SI/O(II)の個別制御部PRは、KBCの個別制御部PRのもとでコントロールされて表10の各モードを実行する。

【0190】KBCは、図3に示すようにバスと接続されないで、独立している非同期に入力されるキー・ボードの信号をシステムに同期させ、文字/記号、数値キー等コード化するコントローラであり、マイクロコンピュータ・ユニットが使われることが多い。これは、ROMやRAM、I/Oポートを内蔵している。図3のシステム例では、KBCにもう一方のSI/O(II)が接続されているが、KBCと同一の状態の移り変りをする。KBCからのシリアル信号をシステムとシリアルにインターフェイスする。

【0191】KBCの状態の移り変りは、図5のシステム全体の状態と同じであるが、他のI/Oコントローラを含むシステムとは、時間的に見ると変化は全く異なる。例えば、システムが実行状態にあっても、KBCは待機している時間がほとんどである。連続的なキー入力のときには、比較的多くKBCはシステムをアクセスする。

【0192】しかし、割込優先度の高いキー入力があれば

ば、システムは常にこのキー入力を受け付け（但し、リアル・タイム・クロックを除く）、待避イベントであれば待避へ、復帰イベントであれば復帰へとシステムの状態が遷移する。

【0193】次に、システムの中で各状態におけるKB Cの個別制御部PRが論理的に実行する物理的パワーマ\*

表-10 KBC (SI/O II) のパワーマネジメントモード (例)

	イニシャ ライズ	待 機	実 行	待 避	Δ; 遷 移
クロックダウン		○		Δ	
クロックストップ		Δ		○	
マシーステートセーブ				○	
DCバイアスモード		×		×	
タイムアウト		×			
パワーオン	○	○	○		
パワーオフ*				×	
ディスプレイパワーオフ				○	
バックライトパワーオフ	○				

\* 印は物理的パワーオフでなく論理的パワーオフである。

【0195】ここで、表10の各項目を説明する。

【0196】クロックダウンは、KBC内のクロック周波数を複数段階に設定してクロック周波数を下げる。クロックストップは、KBC内のクロックを停止させる。マシーステートセーブは、KBC内の状態を一時記憶させる。DCバイアスモードは、KBCでは、DCバスアスモードは設定しない。なぜならば、キー入力は非同期入力であり、キー入力があったことをシステムに知らせなければならず、特にスペシャル・キーSKを常に受け付けなければならない。しかしシステムアプリケーションによっては待機状態でのみキー入力を受け付けるシステムもあるので、このような場合はDCバイアスモードが設定できる。タイムアウトは、KBCでは、このモードを設定しない。なぜならば、非同期入力であるためにキー入力があったことを処理しなければならない。しかし、一定時間（実用的には分単位）経過すれば、他のI/Oコントローラの個別制御部PRがタイムアウトの要求を出してタイムアウトになることがある。ディスプレイパワーオフは、KBCの個別制御部PRが、PI/Oコントローラの個別制御部PRに表示の電源をコントロールすることを要求して遮断する。バックライトパワーオフは、LCDの場合、KBCの個別制御部PRが、PI/Oコントローラの個別制御部PRにバックライトの電源をコントロールすることを要求して遮断する。

【0197】次に、各メモリについて説明する。

【0198】システムのメインメモリにはD-RAMが主として使用されるが、S-RAMはその低消費電力性やスタティックなデータ記憶ができることからシステム規模に応じて多く使用され得る。

【0199】D-RAMをメインメモリとして使用するシステムでは、その特性上、一定時間内のリフレッシュ※50

\*ネジメントの一例を表10に示す。これは、システムアプリケーションによって異なる。SI/O(II)もKBCと同じである。

【0194】

【表10】

20※を常に伴うことからDCバイアスモードは存在しないが、CTCによるクロックダウンのパワーマネジメントは存在する。

【0200】他方、S-RAMは、その特性によってスタティックなデータ保持ができることからDCバイアモードをもつことができる。即ち、PI/Oコントローラが待避状態に入ったとき、PI/OのPRが、S-RAM（メインメモリ）の電源をコントロールして、DCバイアスモードにする。疑似S-RAMは、セルフ・リフレッシュなので、D-RAMと同様にDCバイアモードは設定しない。

【0201】ICメモリカードは、多様なメモリが使われる部分である。大きくは、ROMとRAMである。M-RAMも、EP-ROMもE2 PROMその他のROMも全てROMとして扱う。

【0202】ROMは、メモリの電源を遮断してもデータを保持するのでDCバイアスモードが存在し物理的にもパワーオフができるのでパワーオフモードが存在する。

【0203】他方、RAMの場合は、D-RAM、S-RAM、疑似S-RAMがあるが、ICメモリカードは着脱、脱着して使用されるので、D-RAMは実用上、ICメモリカードとしての使用に難点がある。メインメモリで説明したことから、S-RAMによるICメモリカードは、DCバイアスモードをもつことができ、PI/Oコントローラの個別制御部PRが電源コントロールする。疑似S-RAMの場合は、セルフ・リフレッシュをもっているため脱着してもフルパワーにしておけば、データ保持ができるがDCバイアスモードは設定しない。D-RAMと同様に実用的にも難点がある。

【0204】大規模な大規模集積回路（LSI）化技術



が進み、システムが1つのチップに集積された場合においても、CPUや他のI/Oコントローラは、このパワー・マネジメントシステムによって、CPUや個別のI/Oコントローラの電源を制御するように構成できる。

【0205】大規模LSI化技術によって、将来、図3のようなシステムが1つのチップに集積された場合や、もっと進んでウェファ-スケール・インテグレーション技術により、システムが集積された場合、システムの低消費電力化がますます重要になってくる。このとき、システムはシリコンの上に集積されるが、上述した本発明の分散パワー・マネジメント・システムによって、CPUや個別のI/Oコントローラ、その他のメモリの電源を制御できるので、シリコン上の消費電力をシリコン全体に分散させることができる。即ち、安定したシステムの動作や大規模LSIの安定性や量産性を確保することができる。

【0206】また、半導体の周波数は、駆動電圧に依存するという特性を有しており、駆動電圧を高くすると動作周波数を高くすることができ、駆動電圧を低くすると動作周波数を低くすることができる。上述した本発明の分散パワー・マネジメント・システムは、電源をコントロールして駆動電圧をスイッチングしているので、フル・パワー・モードとDCバイアス・モードをもつことができる。このことは、低消費電力化を実現させると共に、システムの動作、非動作によって処理速度の上昇と下降を制御してシステム全体の処理速度を落すことがないように制御することが可能になる。即ち、システムの動作中は処理速度を上げ、非動作中は処理速度を下げる制御も可能になる。

【0207】図15は、図7に示されたパワー・コントロールのブロック図に対応したパワー制御の信号波形と制御信号A、Bによってスイッチングされる電源の動きを示すタイミング・チャートである。

【0208】即ち、図15は、外部のパワー・コントロール部（即ち、PI/Oのパワー・コントロール・ポートからの入出力信号によって、制御信号A、Bを合成させる）を通してCPUやI/Oコントローラのそれぞれの電源をコントロールする制御信号A、Bの波形例を示している。

【0209】なお、制御信号A、Bの波形はCPUやそれぞれのI/Oコントローラの機能的な特性やシステムによって異なる。

【0210】図16は、本発明のパワー・コントロールの第2実施例の構成を示すブロック図である。

【0211】図16の個別制御部PRは、個別制御部PR自体でも電源をコントロールできるように構成されている。

【0212】図16の個別制御部PRは、図1に示す本発明のパワー・コントロールの第1実施例に対して、パ

ワー・コントロールするためのロジック・ブロックが追加されている。

【0213】追加されたロジック・ブロックは、制御ゲート16、及び制御ゲート16に接続されたフリップ・フロップ17によって構成されている。

【0214】上記ロジック・ブロックでは、制御ゲート16はマイクロ・オーダ及びデータ・レジスタの出力ビットであるパワー・コントロール・ビットの出力信号をそれぞれ入力し、フリップ・フロップ17は制御ゲート16の出力に基づいてオン状態またはオフ状態を形成して、このオン状態またはオフ状態に基づいてPCCへの入力信号Ai、Biを出力する。

【0215】図17は、このときのパワー制御の信号波形である制御信号A、制御信号Bを示すタイミング・チャートである。図17は、更に、制御信号A、制御信号Bによって制御される電源の動きも示している。

【0216】制御信号Aは、個別制御部PR自体でコントロールされるので、スタンバイ・モードに入るときは電源が-V'ccにスイッチングされるため、信号レベルは図17に示ようになる。

【0217】また、制御信号Bは、フル・パワー・モードでは電源が-Vccにスイッチングされるため、図17に示ようになる。

【0218】即ち、スタンバイ・モードにする信号が制御信号Bであり、フル・パワー・モードにする信号が制御信号Aである。

【0219】図18は、個別制御部PR自体でパワー制御を行うときのブロック図を示している。なお、制御信号A、制御信号Bの波形は、CPUやそれぞれのI/Oコントローラの機能的な特性やシステムによって異なる。

【0220】図19は、図18のCPUに関する構成を詳細に示す図である。

【0221】図19に示すように、CPUは、個別制御部PRと、個別制御部PRに接続されていると共にPCCにも接続されているトランジスタ回路部を備えている。また、図19には、オン電流、オフ電流はトランジスタ回路部とPCCの端子Ai、Biとの間を流れを示している。

【0222】図19に示すように、CPUや他のI/OコントローラにはBi-CMOSが含まれており、Bi-CMOSはPCCの各端子Ai、Biに接続されていると共に、CPUや他のI/Oコントローラに含まれている個別制御部PRに接続されている。

【0223】表11は、図1のコマンド・レジスタによるパワー・マネジメント命令を示す。

【0224】

【表11】

PI/O の個別制御部PRが実行可能なパワー・マネージメント命令

命令の名称	命令の説明	略称	PI/O
クロック・ダウン	CR2の1ビット目	CR2 (1)	1 O
クロック ・コントロール	CR2の2ビット目	CR2 (2)	1 O
タイム・アウト	CR2の3ビット目	CR2 (3)	0 x
未定義 (定義可能)	CR2の4ビット目	CR2 (4)	0 O
DCバイアス・モード	CR2の5ビット目	CR2 (5)	1 O
パワー・オフ	CR2の6ビット目	CR2 (6)	1 O
ディスプレイ・ パワー・オフ	CR2の7ビット目	CR2 (7)	1 O
バックライト・ パワー・オフ	CR2の8ビット目	CR2 (8)	1 O
パワー・オン	CR1の1ビット目	CR1 (1)	0 O
スピード・ダウン	CR1の2ビット目	CR1 (2)	1 O
スピード・フル	CR1の3ビット目	CR1 (3)	1 O
未定義 (定義可能)	CR1の4ビット目	CR1 (4)	0 x
	CR1の5ビット目	CR1 (5)	0 x
	CR1の6ビット目	CR1 (6)	0 x
	CR1の7ビット目	CR1 (7)	0 x
	CR1の8ビット目	CR1 (8)	0 x

【0225】表12は、表11に示した図1のコマンド \* 【0226】

・レジスタの構成内容を示す。 \* 【表12】

コマンド・レジスタCR (8ビット×2本)

(パワー・オン時に予め、プログラムで命令をセットしておく)

8	7	6	5	4	3	2	1	CR2
8	7	6	5	4	3	2	1	CR1

【0227】表13は、図1のステータス・レジスタの ※ 【0228】

構成内容を示す。 ※ 【表13】

33  
ステータス・レジスタSR (8ビット×2本)

34

SM3	SM2	SM1	M/S	NMI	SMI <sub>11</sub>	SMI <sub>10</sub>	SMI <sub>9</sub>	SR2
SMI <sub>8</sub>	SMI <sub>7</sub>	SMI <sub>6</sub>	SMI <sub>5</sub>	SMI <sub>4</sub>	SMI <sub>3</sub>	SMI <sub>2</sub>	SMI <sub>1</sub>	SR1

SM3, SM2, SM1 : システムの状態を示す

M/S : マスター (主) とスレーブ (従) のスイッチ・フラッグ

NMI (SKキー入力) : Non Maskable Interrupt (マスクできない割込)

SMI<sub>1</sub> ~ SMI<sub>11</sub> : System Management Interrupt (システム管理による割込)

【0229】表14は、表13に示した状態を表すSM \* 【0230】

3, SM2, 及びSM1の具体的な内容を示す。 \* 【表14】

SM3	SM2	SM1	各デバイスの状態
0	0	0	イニシャライズ状態
0	0	1	待機状態
0	1	0	待避状態
0	1	1	実行状態
1	0	0	未定義 (定義可能)
1	0	1	
1	1	0	
1	1	1	

【0231】表15は、表13に示したSM1~SM11のス \* 【0232】

イッチ・ロジックを示す。 \* 【表15】

種類	PRとPI/Oのスイッチ・ロジック
SMI <sub>1</sub>	VDCのSMI
SMI <sub>2</sub>	FMCのSMI
SMI <sub>3</sub>	SI/O (II) のSMI
SMI <sub>4</sub>	DMACのSMI
SMI <sub>5</sub>	INTCのSMI
SMI <sub>6</sub>	CTCのSMI
SMI <sub>7</sub>	RTCのSMI
SMI <sub>8</sub>	PI/OのSMI
SMI <sub>9</sub>	SI/O (I) のSMI
SMI <sub>10</sub>	KBCのSMI
SMI <sub>11</sub>	CPUのSMI

【0233】表16は、図1のコントロール・レジスタの構成内容を示す。

【0234】

【表16】

コントロール・レジスタCLR (8ビット×2本)

\*【0235】また、表17及び表18は、コントロール・レジスタのクロック・ダウン値及びタイム・アウト値をそれぞれ示す。

【0236】

【表17】

8	7	6	5	4	3	2	1	CLR2 (クロック・ダウン値)
8	7	6	5	4	3	2	1	CLR1 (タイム・アウト値)

それぞれの値は、プログラムでセットする。

\*

	クロック・ダウン値
CLR2の1ビット目がセット	1/4倍
CLR2の2ビット目がセット	1/8倍
CLR2の3ビット目がセット	1/12倍
CLR2の4ビット目がセット	1/16倍
CLR2の5ビット目がセット	1/20倍
CLR2の6ビット目がセット	スピード・ダウン
CLR2の7ビット目がセット	スピード・フル
CLR2の8ビット目がセット	クロック・ストップ

【0237】

\*20\*【表18】

	タイム・アウト値
CLR1の1ビット目がセット	4倍
CLR1の2ビット目がセット	8倍
CLR1の3ビット目がセット	12倍
CLR1の4ビット目がセット	16倍
CLR1の5ビット目がセット	20倍
CLR1の6ビット目がセット	24倍
CLR1の7ビット目がセット	28倍
CLR1の8ビット目がセット	32倍

【0238】表19及び表20は、図1のデータ・レジスタの構成内容及び具体的な命令内容をそれぞれ示す。 ※【0239】

【表19】

データ・レジスタDR (8ビット×2本)

(各ビットのフラッグのセットはプログラムで行い、  
このデータをパワー・コントロールポートに出力する。)

8	7	6	5	4	3	2	1	DR 2
8	7	6	5	4	3	2	1	DR 1

【0240】

\* \* 【表20】

命令の名称	命令の説明	
VDCのパワー・コントロール	DR1の1ビット目	各デバイスの パワー・コントロ ールフラッグ
FMCのパワー・コントロール	DR1の2ビット目	
SI/O (II) の パワー・コントロール	DR1の3ビット目	
DMACのパワー・コントロール	DR1の4ビット目	
INTCのパワー・コントロール	DR1の5ビット目	
CTCのパワー・コントロール	DR1の6ビット目	
RTCのパワー・コントロール	DR1の7ビット目	
PI/Oのパワー・コントロール	DR1の8ビット目	
SI/O (I) の パワー・コントロール	DR2の1ビット目	パワー・コントロ ール定義可能な フラッグ
KBCのパワー・コントロール	DR2の2ビット目	
CPUのパワー・コントロール	DR2の3ビット目	
ディスプレイ・パワー・オフ	DR2の4ビット目	
バックライト・パワー・オフ	DR2の5ビット目	
パワー・オフ	DR2の6ビット目	
パワー・オン	DR2の7ビット目	
ディスプレイ/バックライト パワー・オン	DR2の8ビット目	

【0241】表11～表20は、多様なパワー・マネージメント命令がある中でその一例であり、また各レジスタの構成内容も多様である中で一例である。

【0242】次に、上記表11～表20、及び図20～図22のフローチャートをそれぞれ参照して、図1に示すPI/Oの個別制御部PRのパワー・マネージメントの動作がシステムアプリケーションによって種々ある中で、その一例を説明する。

【0243】まず、図9に示す並列入出力コントローラ※50

※(PI/O)を構成しているコマンド・レジスタ、第1ポート～第4ポート、第1グループ・コントロール、及び第2グループ・コントロールをそれぞれ初期化(イニシャライズ)して(ステップS1)、図1のPI/Oの個別制御部PRを構成しているコマンド・レジスタCRをF306にセットすると共に、ステータス・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ0000(各数値はhexadecimalを表す)にセットして(ステップS2)、PI/Oの個

41

別制御部PRをイニシャライズ状態に設定し(ステップS3)、イニシャライズが終了したか否かを判定し(ステップS4)、上記ステップS4でイニシャライズが終了していない(NO)と判定された場合には、スペシャル・キー(SKキー)の割込があったか否かを判定し(ステップS5)、上記ステップS5でSKキーの割込がない(NO)と判定された場合には、上記ステップS3に戻ってSKキーの割込があるまでルーティンを繰り返して実行し、上記ステップS5でSKキーの割込があった(YES)と判定された場合には、“マスクできない割込”(Non-Maskable Interrupt, 以下、NMIと称する)を1にセットすると共に、マスター/スレーブのフラグ(以下、M/Sと称する)も同時に1にセットし(ステップS6)、システムの状態を表すSM3を0、SM2を1、及びSM1を0にそれぞれセットして(ステップS7)、“待避状態”(表14参照)を形成し(ステップS8)、処理1を実行する(ステップS9)。

【0244】ここで、図23を参照して、処理1の内容を説明する。

【0245】図23に示すように、処理1では、コマンド・レジスタCR2の2番目のビットCR2(2)が1であるか否か(即ちクロックをコントロールするか否か)を判定し(ステップS91)、上記ステップS91でコマンド・レジスタCR2(2)が1である(YES)(即ちクロックをコントロールする)と判定された場合には、コントロール・レジスタCLR2の2番目のビットCLR2(2)を1にセットして(ステップS92)、クロック・ダウン値を1/8倍(表17参照)にセットして処理を終了する(ステップS93)。また、

上記ステップS91でコマンド・レジスタCR2(2)が1でない(NO)と判定された場合には、処理を終了する。

【0246】図20に戻って、処理1を終了したならば、再びSKキーの割込があったか否かを判定し(ステップS10)、上記ステップS10でSKキーの割込がない(NO)と判定された場合には、上記ステップS8の“待避状態”に戻り、上記ステップS10でSKキーの割込があった(YES)と判定された場合には、NMI及びM/Sをそれぞれ0にリセットし(ステップS11)、SM3、SM2、及びSM1を0に、コントロール・レジスタCLRを0000にそれぞれリセットして(ステップS12)、上記ステップS3に戻る。

【0247】続いて、図20及び図21に示すように、上記ステップS4でイニシャライズが終了した(YES)と判定された場合には、SM3を0、SM2を0、SM1を1にそれぞれセットして(ステップS13)、“待機状態”が形成され(ステップS14)、SKキーの割込があったか否かを判定し(ステップS15)、上記ステップS15でSKキーの割込があった(YES)

42

と判定された場合には、NMIを1にセットすると共に、M/Sも同時に1にセットし(ステップS16)、SM3を0、SM2を1、及びSM1を0にそれぞれセットして(ステップS17)、“待避状態”(表14参照)を形成し(ステップS18)、処理2を実行する(ステップS19)。

【0248】ここで、図24を参照して、処理2の内容を説明する。

【0249】図24に示すように、処理2では、コマンド・レジスタCR2の6番目のビットCR2(6)が1であるか否か(即ち、パワーをオフするか否か)を判定し(ステップS191)、上記ステップS191でコマンド・レジスタCR2(6)が1である(YES)(即ちパワーをオフする)と判定された場合には、データ・レジスタDR2の4番目のビットDR2(4)を1にセットし(ステップS192)、ディスプレイ・パワーをオフ(表20参照)して(ステップS193)、データ・レジスタDR2の5番目のビットDR2(5)を1にセットし(ステップS194)、バック・ライトをオフ(表20参照)する(ステップS195)。

【0250】続いて、コマンド・レジスタCR2の5番目のビットCR2(5)が1であるか否か(即ち、DCバイアス・モードか否か)を判定し(ステップS196)、上記ステップS196でコマンド・レジスタCR2(5)が1である(YES)(即ちDCバイアス・モードである)と判定された場合には、データ・レジスタDRを1FFFにセットし(ステップS197)、データ・レジスタDRの内容を第1ポートに出力して(ステップS198)、DCバイアス・モードを形成する(ステップS199)。

【0251】更に、コマンド・レジスタCR2の2番目のビットCR2(2)が1であるか否か(即ち、クロック・コントロールか否か)を判定し(ステップS1910)、上記ステップS1910でコマンド・レジスタCR2(2)が1である(YES)(即ちクロック・コントロールである)と判定された場合には、コントロール・レジスタCLR2の8番目のビットCLR2(8)を1にセットし(ステップS1911)、クロック・ストップ(表17参照)を形成する(ステップS1912)。

【0252】図21に戻って、処理2を終了したならば、再びSKキーの割込があったか否かを判定し(ステップS20)、上記ステップS20でSKキーの割込があった(YES)と判定された場合には、NMI及びM/Sをそれぞれ0にリセットし(ステップS21)、SM3及びSM2を0に、SM1を1に、コントロール・レジスタCLRを0000に、データ・レジスタDRを0000にそれぞれリセットして(ステップS22)、データ・レジスタDRの内容を第1ポートに出力して(ステップS23)、上記ステップS14に戻る。

【0253】また、上記ステップS20でSKキーの割込がない(NO)と判定された場合には、コマンド・レジスタCR1の1番目のビットCR1(1)が1であるか否か(即ち、パワー・オンか否か)を判定し(ステップS24)、上記ステップS24でCR1(1)が1でない(NO)と判定された場合には、上記ステップS18に戻り、他方、上記ステップS24でCR1(1)が1である(YES)と判定された場合には、データ・レジスタDR2の8番目のビットDR2(8)を1にセットし(ステップS25)、ディスプレイ/バックライトをオンにして(ステップS26)、上記ステップS18に戻る。

【0254】上記ステップS15でSKキーの割込がない(NO)と判定された場合には、処理3を実行する(ステップS27)。

【0255】ここで、図25を参照して、処理3を説明する。

【0256】図25に示すように、処理3では、M/Sを1にセットし(ステップS271)、“システム管理による割込”(System Management Interrupt (以下、SMIと称する))のSMI1が1であるか否かを判定し(ステップS272)、上記ステップS272でSMI1が1である(YES)と判定された場合には、データ・レジスタDR1の1番目のビットDR1(1)を1にセット(即ち、VDCのパワー・コントロールをオン)し(ステップS273)、上記ステップS272でSMI1が1でない(NO)と判定された場合には、DR1(1)を0にセットする(ステップS274)。

【0257】続いて、SMI2が1であるか否かを判定し(ステップS275)、上記ステップS275でSMI2が1である(YES)と判定された場合には、データ・レジスタDR1の2番目のビットDR1(2)を1にセット(即ち、FMCのパワー・コントロールをオン)し(ステップS276)、上記ステップS275でSMI2が1でない(NO)と判定された場合には、DR1(2)を0にセットする(ステップS277)。

【0258】以下、SMI3が1であるか否かを判定し(ステップS278)、上記ステップS278でSMI3が1である(YES)と判定された場合には、データ・レジスタDR1の3番目のビットDR1(3)を1にセット(即ち、SI/O(II)のパワー・コントロールをオン)し(ステップS279)、上記ステップS278でSMI3が1でない(NO)と判定された場合には、DR1(3)を0にセットする(ステップS2710)。

【0259】同様に、SMI4が1であるか否かを判定し(ステップS2711)、上記ステップS2711でSMI4が1である(YES)と判定された場合には、データ・レジスタDR1の4番目のビットDR1(4)を1にセット(即ち、DMACのパワー・コントロール

をオン)し(ステップS2712)、上記ステップS2711でSMI4が1でない(NO)と判定された場合には、DR1(4)を0にセットする(ステップS2713)。

【0260】SMI5が1であるか否かを判定し(ステップS2714)、上記ステップS2714でSMI5が1である(YES)と判定された場合には、データ・レジスタDR1の5番目のビットDR1(5)を1にセット(即ち、INTCのパワー・コントロールをオン)し(ステップS2715)、上記ステップS2714でSMI5が1でない(NO)と判定された場合には、DR1(5)を0にセットする(ステップS2716)。

【0261】SMI6が1であるか否かを判定し(ステップS2717)、上記ステップS2717でSMI6が1である(YES)と判定された場合には、データ・レジスタDR1の6番目のビットDR1(6)を1にセット(即ち、CTCのパワー・コントロールをオン)し(ステップS2718)、上記ステップS2717でSMI6が1でない(NO)と判定された場合には、DR1(6)を0にセットする(ステップS2719)。

【0262】SMI7が1であるか否かを判定し(ステップS2720)、上記ステップS2720でSMI7が1である(YES)と判定された場合には、データ・レジスタDR1の7番目のビットDR1(7)を1にセット(即ち、RTCのパワー・コントロールをオン)し(ステップS2721)、上記ステップS2720でSMI7が1でない(NO)と判定された場合には、DR1(7)を0にセットする(ステップS2722)。

【0263】同様に、SMI9が1であるか否かを判定し(ステップS2723)、上記ステップS2723でSMI9が1である(YES)と判定された場合には、データ・レジスタDR2の1番目のビットDR2(1)を1にセット(即ち、SI/O(I)のパワー・コントロールをオン)し(ステップS2724)、上記ステップS2723でSMI9が1でない(NO)と判定された場合には、DR2(1)を0にセットする(ステップS2725)。

【0264】SMI10が1であるか否かを判定し(ステップS2726)、上記ステップS2726でSMI10が1である(YES)と判定された場合には、データ・レジスタDR2の2番目のビットDR2(2)を1にセット(即ち、KBCのパワー・コントロールをオン)し(ステップS2727)、上記ステップS2726でSMI10が1でない(NO)と判定された場合には、DR2(2)を0にセットする(ステップS2728)。

【0265】更に、SMI11が1であるか否かを判定し(ステップS2729)、上記ステップS2729でSMI11が1である(YES)と判定された場合には、データ・レジスタDR2の3番目のビットDR2(3)を1にセット(即ち、CPUのパワー・コントロールをオ

10

20

30

40

50



45

ン)し(ステップS2730)、上記ステップS2729でSMI1が1でない(NO)と判定された場合には、DR2(3)を0にセットする(ステップS2731)。これらデータ・レジスタDRの内容をPI/Oの第1ポートに出力して(ステップS2732)、DCバイアス・モードを設定する(ステップS2733)。即ち、処理3では、SMIの要求があったデバイスのパワーをコントロールする。

【0266】図21に戻って、処理3を終了したならば、実行イベントがあるか否かを判定し(ステップS28) 10、上記ステップS28で実行イベントがない(NO)と判定された場合には、コマンド・レジスタCR2の1番目のビットCR2(1)が1であるか否かを更に判定し(ステップS29)、上記ステップS29でCR2(1)が1でない(NO)と判定された場合には、上記ステップS14に戻る。また、図21及び図22に示すように、上記ステップS29でCR2(1)が1である(YES)と判定された場合には、コントロール・レジスタCLR2の3番目のビットCLR2(3)を1に 20 セットして(ステップS30)、クロック・ダウン値を1/12倍に設定する(ステップS31)。

【0267】他方、上記ステップS28で実行イベントがある(YES)と判定された場合には、ステータス・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ0000にセットすると同時に、M/Sを0にセットし(ステップS32)、データ・レジスタDRの内容を第1ポートに出力し(ステップS33)、SM3を0に、SM2を1に、SM1を1にそれぞれセットし(ステップS34)、実行状態を形成し(ステップS35)、プリント命令があるか否かを判定し(ステップS36)、上記ステップS36でプリント命令がない(NO)と判定された場合には、SK 30 キーの割込があるか否かを判定し(ステップS37)、上記ステップS37でSKキーの割込がある(YES)と判定された場合には、NMI及びM/Sをそれぞれ1にセットし(ステップS38)、SM3を0に、SM2を1に、そしてSM1を0にセットして(ステップS39)、待避状態を形成して(ステップS40)、処理4を実行する(ステップS41)。

【0268】ここで、図26を参照して、処理4を説明 40 する。

【0269】図26の処理4では、コマンド・レジスタCR2の7番目のビットCR2(7)が1であるか否かを判定し(ステップS411)、上記ステップS411でCR2(7)が1である(YES)と判定された場合には、データ・レジスタDR2の4番目のビットDR2 50 (4)を1にセットし(ステップS412)、ディスプレイのパワーをオフに設定し(ステップS413)、コマンド・レジスタCR2の8番目のビットCR2(8)が1であるか否かを判定し(ステップS414)、上記ス

46

テップS414でCR2(8)が1である(YES)と判定された場合には、データ・レジスタDR2の5番目のビットDR2(5)を1にセットし(ステップS415)、バック・ライトのパワーをオフに設定し(ステップS416)、コマンド・レジスタCR2の5番目のビットCR2(5)が1であるか否かを判定し(ステップS417)、上記ステップS417でCR2(5)が1 である(YES)と判定された場合には、データ・レジスタDRを1FFFにセットし(ステップS418)、データ・レジスタDRの内容を第1ポートに出力し(ステップS419)、DCバイアス・モードに設定し(ステップS4110)、コマンド・レジスタCR2の1番 目のビットCR2(1)が1であるか否かを判定し(ステップS4111)、上記ステップS4111でCR2(1)が1である(YES)と判定された場合には、コン ントロール・レジスタCLR2の2番目のビットCLR2(2)を1にセットして(ステップS4112)、ク ロック・ダウン値を1/8倍に設定する(ステップS4 113)。

【0270】図22に戻って、処理4を実行したならば、再びSKキーの割込があったか否かを判定し(ステップS42)、上記ステップS42でSKキーの割込があ った(YES)と判定された場合には、NMI及びM/Sをそれぞれ0にリセットし(ステップS43)、コン ントロール・レジスタCLRを0000に、データ・レ ジスタDRを0000にそれぞれリセットして(ステッ 40 プS44)、上記ステップS33に戻る。また、上記ス テップS42でSKキーの割込がない(NO)と判定さ れた場合には、上記ステップS40に戻る。

【0271】上記ステップS37で、SKキーの割込が ない(NO)と判定された場合には、処理5を実行する (ステップS45)。

【0272】ここで、図27を参照して、処理5を説明 する。

【0273】図27の処理5では、M/Sを1にセット し(ステップS451)、SMI1が1であるか否かを 判定し(ステップS452)、上記ステップS452で SMI1が1である(YES)と判定された場合には、 データ・レジスタDR1の1番目のビットDR1(1) 50 を1にセット(即ち、VDCのパワー・コントロールを オン)し(ステップS453)、上記ステップS452 でSMI1が1でない(NO)と判定された場合には、 DR1(1)を0にセットする(ステップS454)。

【0274】SMI2が1であるか否かを判定し(ステ ャップS455)、上記ステップS455でSMI2が1 である(YES)と判定された場合には、データ・レ ジスタDR1の2番目のビットDR1(2)を1にセッ ト(即ち、FMCのパワー・コントロールをオン)し(ス テップS456)、上記ステップS455でSMI2が 1でない(NO)と判定された場合には、DR1(2)

を0にセットする(ステップS457)。

【0275】SMI3が1であるか否かを判定し(ステップS458)、上記ステップS458でSMI3が1である(YES)と判定された場合には、データ・レジスタDR1の3番目のビットDR1(3)を1にセット(即ち、SI/O(II)のパワー・コントロールをオン)し(ステップS459)、上記ステップS458でSMI3が1でない(NO)と判定された場合には、DR1(3)を0にセットする(ステップS4510)。

【0276】同様に、SMI4が1であるか否かを判定し(ステップS4511)、上記ステップS4511でSMI4が1である(YES)と判定された場合には、データ・レジスタDR1の4番目のビットDR1(4)を1にセット(即ち、DMACのパワー・コントロールをオン)し(ステップS4512)、上記ステップS4511でSMI4が1でない(NO)と判定された場合には、DR1(4)を0にセットする(ステップS4513)。

【0277】SMI5が1であるか否かを判定し(ステップS4514)、上記ステップS4514でSMI5が1である(YES)と判定された場合には、データ・レジスタDR1の5番目のビットDR1(5)を1にセット(即ち、INTCのパワー・コントロールをオン)し(ステップS4515)、上記ステップS4514でSMI5が1でない(NO)と判定された場合には、DR1(5)を0にセットする(ステップS4516)。

【0278】SMI6が1であるか否かを判定し(ステップS4517)、上記ステップS4517でSMI6が1である(YES)と判定された場合には、データ・レジスタDR1の6番目のビットDR1(6)を1にセット(即ち、CTCのパワー・コントロールをオン)し(ステップS4518)、上記ステップS4517でSMI6が1でない(NO)と判定された場合には、DR1(6)を0にセットする(ステップS4519)。

【0279】SMI7が1であるか否かを判定し(ステップS4520)、上記ステップS4520でSMI7が1である(YES)と判定された場合には、データ・レジスタDR1の7番目のビットDR1(7)を1にセット(即ち、RTCのパワー・コントロールをオン)し(ステップS4521)、上記ステップS4520でSMI7が1でない(NO)と判定された場合には、DR1(7)を0にセットする(ステップS4522)。

【0280】続いて、SMI9が1であるか否かを判定し(ステップS4523)、上記ステップS4523でSMI9が1である(YES)と判定された場合には、データ・レジスタDR2の1番目のビットDR2(1)を1にセット(即ち、SI/O(I)のパワー・コントロールをオン)し(ステップS4524)、上記ステップS4523でSMI9が1でない(NO)と判定された場合には、DR2(1)を0にセットする(ステップ

S4525)。

【0281】SMI10が1であるか否かを判定し(ステップS4526)、上記ステップS4526でSMI10が1である(YES)と判定された場合には、データ・レジスタDR2の2番目のビットDR2(2)を1にセット(即ち、KBCのパワー・コントロールをオン)し(ステップS4527)、上記ステップS4526でSMI10が1でない(NO)と判定された場合には、DR2(2)を0にセットする(ステップS4528)。

【0282】同様に、SMI11が1であるか否かを判定し(ステップS4529)、上記ステップS4529でSMI11が1である(YES)と判定された場合には、データ・レジスタDR2の3番目のビットDR2(3)を1にセット(即ち、CPUのパワー・コントロールをオン)し(ステップS4530)、上記ステップS4529でSMI11が1でない(NO)と判定された場合には、DR2(3)を0にセットする(ステップS4531)。これらデータ・レジスタDRの内容をPI/Oの第1ポートに出力して(ステップS4532)、DCバイアス・モードを設定し(ステップS4533)、コマンド・レジスタCR1の2番目のビットCR1(2)が1であるか否かを判定し(ステップS4534)、上記ステップS4534でCR1(2)が1である(YES)と判定された場合には、コントロール・レジスタCLR2の6番目のビットCLR2(6)を1にセットし(ステップS4535)、クロック・ダウン値をスピード・ダウンに設定する(ステップS4536)。

【0283】図22に戻って、上記ステップS36でプリント命令がある(YES)と判定された場合には、コマンド・レジスタCR1の3番目のビットCR1(3)が1であるか否かを判定し(ステップS46)、上記ステップS46でCR1(3)が1でない(NO)と判定された場合には、後述するステップS49に進む。また、上記ステップS46でCR1(3)が1である(YES)と判定された場合には、コントロール・レジスタCLR2の7番目のビットCLR2(7)を1にセットして(ステップS47)、クロック・ダウン値をスピード・フルに設定し(ステップS48)、M/Sを0に設定し(ステップS49)、プリントを出力し(ステップS50)、SKキーの割込があったか否かを判定し(ステップS51)、上記ステップS51でSKキーの割込があった(YES)と判定された場合には、上記ステップS38に戻り、上記ステップS42でSKキーの割込がない(NO)と判定された場合には、上述した処理No.3を処理し(ステップS52)、実行終了か否かを判定し(ステップS53)、上記ステップS53で実行が終了していない(NO)の場合には上記ステップS35に戻り、上記ステップS53で実行が終了している(YES)の場合には、M/Sを0に、ステータス・レジスタSR、コントロール・レジスタCLR、データ・レジ

タDRを0000にそれぞれリセットし(ステップS54)、データ・レジスタDRの内容を第1ポートに出力し(ステップS55)、SM3を0に、SM2を0に、SM1を1にそれぞれリセットして(ステップS56)、上述したステップS14に戻る。

【0284】図28は、図7の第1実施例と図18の第2実施例を組合わせた構成を示しており、各構成部分や動作は第1実施例及び第2実施例にそれぞれ対応しているので説明を省略する。

【0285】図29は、本発明のパワー・コントロールの第4実施例の構成を示すブロック図である。

【0286】図29の実施例は、CPUや各入出力(I/O)コントローラに個別制御部PRを持たないで、外部に設けられた通常よく知られているマイクロコンピュータを用いて、電源コントロールやクロック周波数を制御(コントロール)してパワー・コントロールする構成を示す。

【0287】図29の構成は、図7及び図28の構成と類似しているが、パワー・コントロールの部分がマイクロコンピュータで構成されている。

【0288】マイクロコンピュータ・ユニット(MCU)には、リード・オンリー・メモリ(ROM)、ランダム・アクセス・メモリ(RAM)、算術論理演算装置(ALU)、レジスタRE、I/Oポートが内蔵されている。

【0289】この実施例では、PI/Oの第1ポートからのパワー・コントロール入力信号があることをマイクロコンピュータのROMに記憶されているプログラム命令によってマイクロコンピュータが検出すれば、レジスタREの中で割り付けられたデータ・レジスタにCPUや各I/Oコントローラのパワー・コントロール・ビットを設定(セット)して、このデータ・レジスタの内容をマイクロコンピュータのI/Oポートに出力して、それぞれの電源を制御するように構成されている。

【0290】また、クロック周波数のコントロールには、マイクロコンピュータのI/Oポートから出力されるクロック・コントロール信号によって行われるが、図29に示すように、2つの出力信号を用いるときは、4段階のクロック周波数を設定することが可能である。例えばクロック・コントロール信号(cc2, cc1)が(0, 0)のときには16MHz、(0, 1)のときには8MHz、(1, 0)のときには4MHz、(1, 1)のときには2MHzのように設定できる。

【0291】クロック周波数のコントロールは、電源コントロールと同じようにPI/Oからの入力信号をマイクロコンピュータが検出して行なわれる。

【0292】マイクロコンピュータのROMに記憶されたプログラム命令によって入力信号を検出する方法は、よく知られた方法であり、また、クロック・コントロール信号cc2やクロック・コントロール信号cc1によ

てクロック周波数をコントロールする回路は、通常の方法で実現できるので特に図示しない。

【0293】マイクロコンピュータに供給される電源は、システムの動作中において常にPI/Oからの入力信号を監視(WATCH)していなければならないので、電源の電圧Vccが供給される。

【0294】図30は、本発明のパワー・コントロールの第5実施例の構成を示すブロック図である。

【0295】図30の構成は、図29に示す構成と類似しているが、電力コントロール回路PCCの構成が異なる。図30の構成では、CPUや各I/Oコントローラに個別制御部PRを持たないで、マイクロコンピュータを外部に設けて電源コントロールやクロック周波数をコントロールして、パワー・コントロールするように構成されている。

【0296】この実施例では、PI/Oの第1ポートからのパワー・コントロール入力信号があることをマイクロコンピュータのROMに記憶されているプログラム命令によってマイクロコンピュータが検出すれば、レジスタREの中で割り付けられたデータ・レジスタにCPUや各I/Oコントローラのパワー・コントロール・ビットを設定(セット)して、このデータ・レジスタの内容をマイクロコンピュータのI/Oポートに出力して、システムの電源を制御するように構成されている。

【0297】即ち、図30の構成では、CPUや各I/Oコントローラを個々に制御しないで、主にシステムの動作時、非動作時に応じてパワー・コントロールする。

【0298】クロック周波数のコントロールは図29の場合と同様に、マイクロコンピュータのI/Oポートから出力されるクロック・コントロール信号によって行われて、2つの出力信号を用いるときは、4段階のクロック周波数を設定することが可能である。例えばクロック・コントロール信号(cc2, cc1)が(0, 0)のときには16MHz、(0, 1)のときには8MHz、(1, 0)のときには4MHz、(1, 1)のときには2MHzのように設定できる。

【0299】クロック周波数のコントロールは、電源コントロールと同じようにPI/Oからの入力信号をマイクロコンピュータが検出して行なわれる。

【0300】マイクロコンピュータのROMに記憶されたプログラム命令によって入力信号を検出する方法は、よく知られた方法であり、また、クロック・コントロール信号cc2やクロック・コントロール信号cc1によってクロック周波数をコントロールする回路は、通常の方法で実現できるので特に図示しない。

【0301】マイクロコンピュータに供給される電源は、システムの動作中において常にPI/Oからの入力信号を監視(WATCH)していなければならないので、電源の電圧Vccが供給される。

【0302】上述した図29や図30に示す構成におい

51

て、システム・アプリケーションによっては、CPUや各I/Oコントローラの個々の電源を制御する方法と、個々の電源を制御しないでまとめて共通電源にして制御する方法を組み合わせ、単一のマイクロコンピュータによってパワーコントロールすることも可能である。

【0303】図31は、本発明のパワー・コントロールの第6実施例の構成を示すブロック図である。

【0304】図31は、図7に示す構成と類似しているが、CPU、PI/O、SI/O、...、FMC、VDCのそれぞれが個別制御部PRを備えている場合の構成を示す。

【0305】図31の構成による動作は、図7の構成による動作と多少異なるが、CPU等がそれぞれ個別制御部PRを持っている図3の構成による動作と同様なので、ここでは説明を省略する。

【0306】なお、表17のクロック・ダウン値や表18のタイム・アウト値を設定する制御回路は、知られている方法で実現できるので特に図示していない。また、表20に示されるパワー・コントロール定義可能なフラグによるパワー・コントロールの制御回路も容易に実現できるので、図示していない。

【0307】第1実施例では、PI/OのSMI8を検出する例を示していないが、第2実施例のように、CPUやI/Oコントローラ自体でパワー・コントロールする制御では、PI/Oの個別制御部PRがSMI8を検出して、PI/OのDCバイアス・モードを設定する。

【0308】

【発明の効果】第1発明のデジタル電子機器用電力制御装置は、符合化された電力マネージメント命令を復号して記憶すると共に復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えているので、効率よくデジタル電子機器の電力を制御できる。

【0309】第2発明のデジタル電子機器用電力制御装置を備えた処理装置は、電源を所定のモードに設定して設定されたモードに基づいて入出力を制御して消費電力を低減するので、効率よく処理装置毎に個々に電力を制御できる。

【0310】第3発明のデジタル電子機器用電力管理システムは、処理装置の複数の電力を所定の方法により制御してシステム全体の消費電力を低減するので、システムの電力を個々に制御して、自由度が高いデジタル電子機器用電力管理システムを構成でき、その結果、各構成部分で極めて細かくパワー・マネージメントを行ってシステム全体の消費電力を大きく低減できる。

【0311】本発明の処理装置は、外部に設けられたマイクロ・コンピュータにより電源またはクロック周波数を制御して電力消費を低減させるので、効率よく処理装置毎に個々に電力を制御できる。

【0312】本発明のデジタル電子機器用電力管理システムは、デジタル電子機器用電力制御装置が複数のプロ

52

グラム命令を有しており、デジタル電子機器用電力制御装置がシステムを構成する中央処理装置及び各種入出力コントローラの全てまたは一部に備えられており、デジタル電子機器用電力制御装置の複数のプログラム命令に基づいて中央処理装置及び各種入出力コントローラの電力制御を行ってシステムの電力消費を低減するので、システムの電力を個々に制御して、自由度が高いデジタル電子機器用電力管理システムを構成でき、その結果、各構成部分で極めて細かくパワー・マネージメントを行ってシステム全体の消費電力を大きく低減できる。

【図面の簡単な説明】

【図1】本発明のデジタル電子機器用電力管理装置の一実施例である個別制御部の構成を示すブロック図である。

【図2】図1の個別制御部の動作を説明するためのフローチャートである。

【図3】図1の個別制御部を備えたシステムの一構成例を示すブロック図である。

【図4】電源がフルパワー及びDCバイアスに変化したときの電源の動作を示す説明図。

【図5】図3のシステムの状態図である。

【図6】電源コントロール回路の一構成例を示すブロック図である。

【図7】図6の電源コントロール回路を用いたシステムの一構成例を示すブロック図である。

【図8】図7のCPU部分の一構成例を示す説明図である。

【図9】図1の個別制御部を有する並列入出力コントローラの一構成例を示すブロック図である。

【図10】図9のコントローラに対応する個別制御部のレジスタの一構成例を示すブロック図である。

【図11】図9及び図10の並列入出力コントローラの状態図である。

【図12】図1の個別制御部を有する中央処理装置(CPU)の一構成例を示すブロック図である。

【図13】図12のCPUに対応する個別制御部のレジスタの一構成例を示すブロック図である。

【図14】図12及び図13のCPUの状態図である。

【図15】図7に示されたパワー・コントロールのブロック図に対応したパワー制御の信号波形と制御信号A、Bによってスイッチングされる電源の動きを示すタイミング・チャートである。

【図16】本発明のパワー・コントロールの第2実施例であり個別制御部自体でも電源をコントロールできる構成を示す個別制御部のブロック図である。

【図17】図16の実施例の動作を説明するためのタイミング・チャートである。

【図18】個別制御部自体でパワー制御を行うときのシステムの一構成例を示すブロック図である。

【図19】図18のCPU部分の一構成例を示す説明図

である。

【図20】図1のPI/Oを構成する個別制御部の動作を説明するための第1のフローチャートである。

【図21】図1のPI/Oを構成する個別制御部の動作を説明するための第2のフローチャートである。

【図22】図1のPI/Oを構成する個別制御部の動作を説明するための第3のフローチャートである。

【図23】図20の処理1を説明するためのフローチャートである。

【図24】図21の処理2を説明するためのフローチャートである。

【図25】図21と図22の処理3を説明するためのフローチャートである。

【図26】図22の処理4を説明するためのフローチャートである。

【図27】図22の処理5を説明するためのフローチャートである。

【図28】本発明のパワー・コントロールの第3実施例である第1実施例及び第2実施例を組合わせた構成を示すブロック図である。

【図29】本発明のパワー・コントロールの第4実施例の構成を示すブロック図である。

【図30】本発明のパワー・コントロールの第5実施例の構成を示すブロック図である。

【図31】本発明のパワー・コントロールの第6実施例の構成を示すブロック図である。

【符号の説明】

10 リードオンリメモリ (ROM)

11 プログラム記憶部

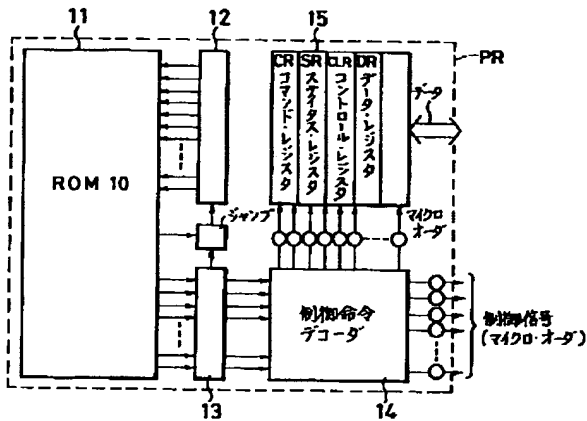
12 アドレスカウンタ

13 制御命令レジスタ

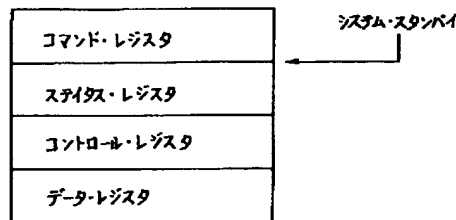
14 制御命令デコーダ

15 レジスタ・グループ

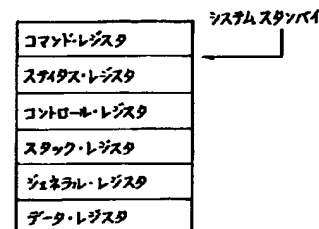
【図1】



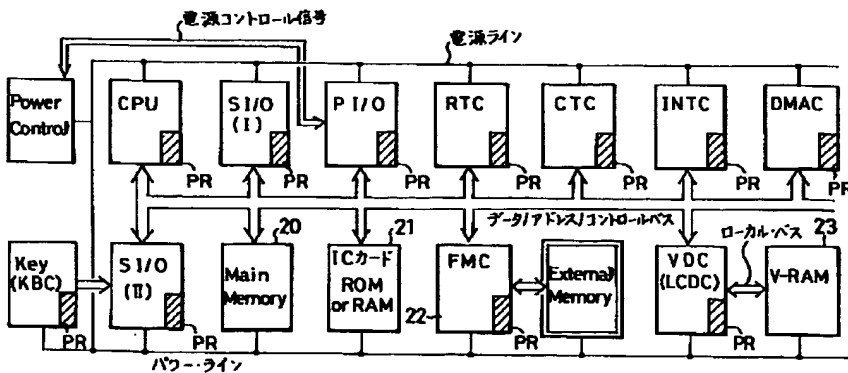
【図10】



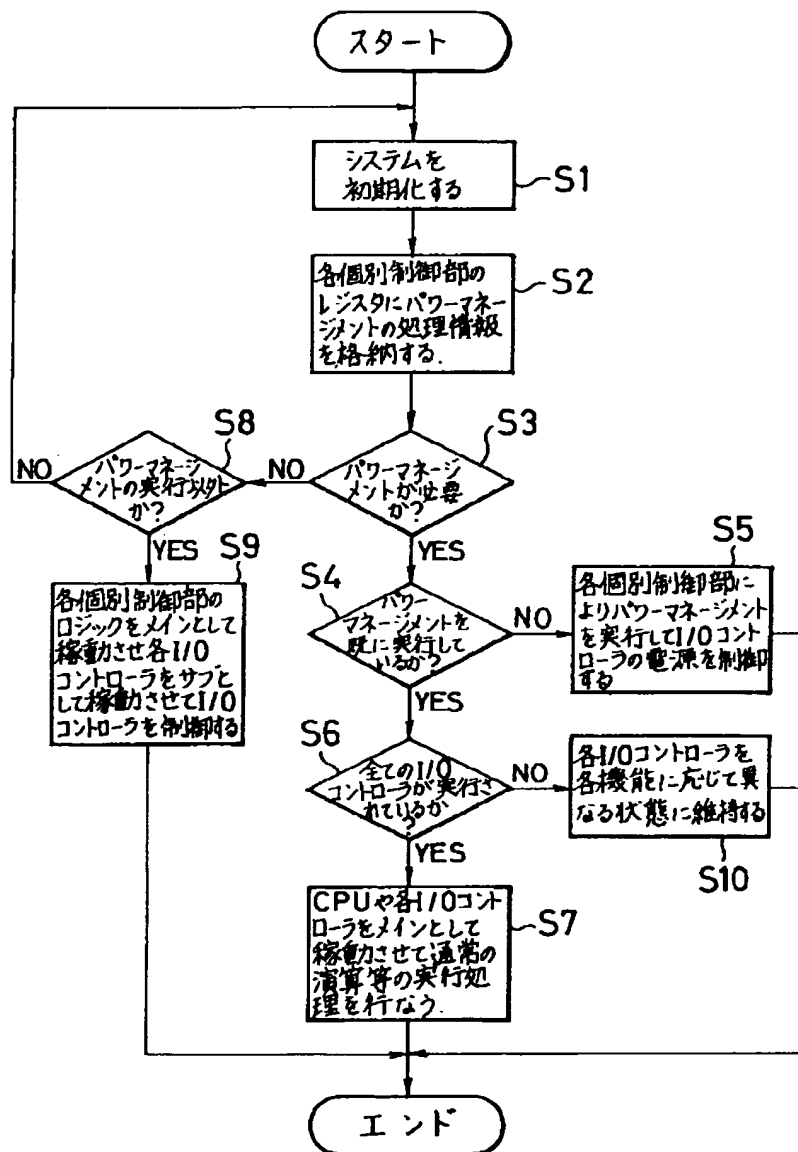
【図13】



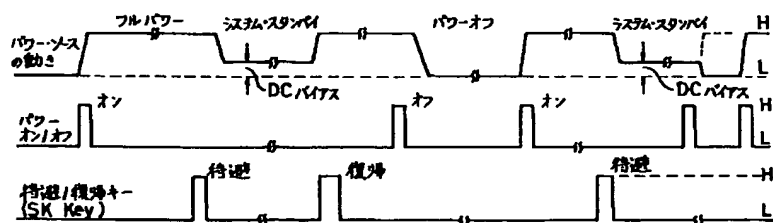
【図3】



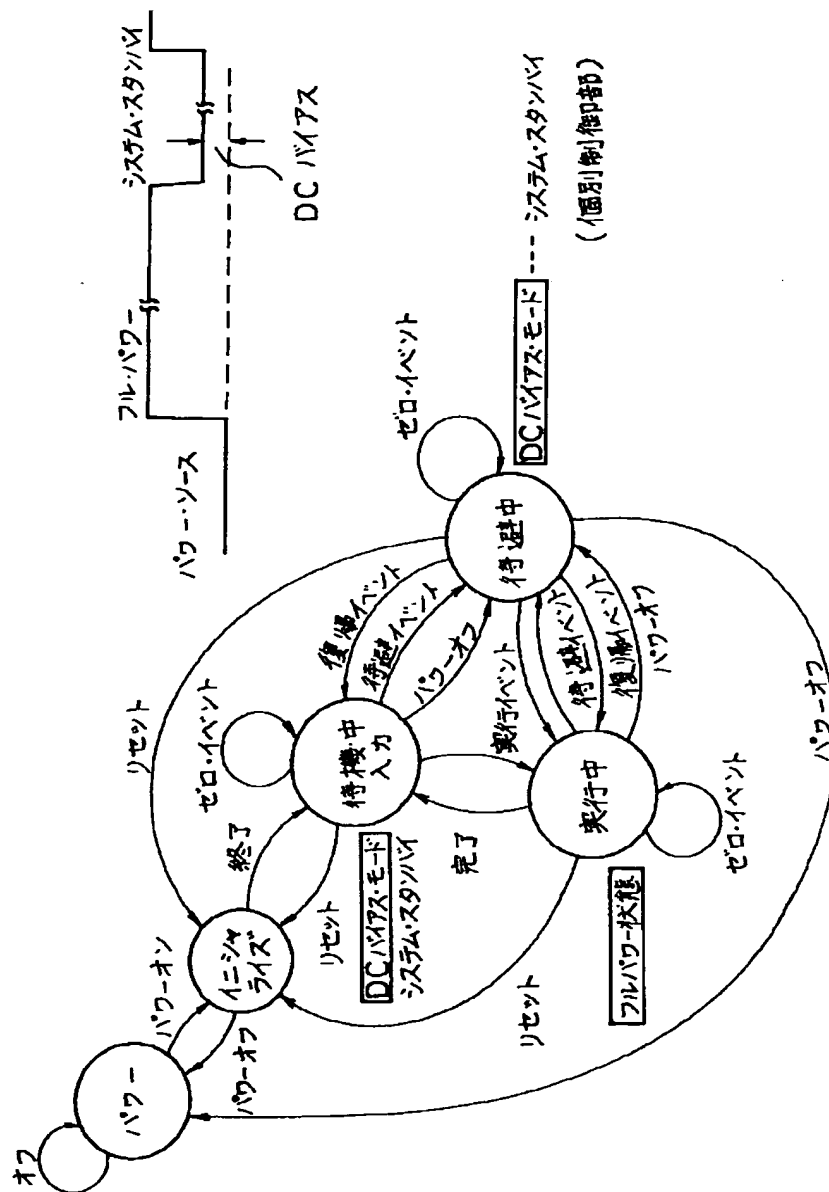
【図2】



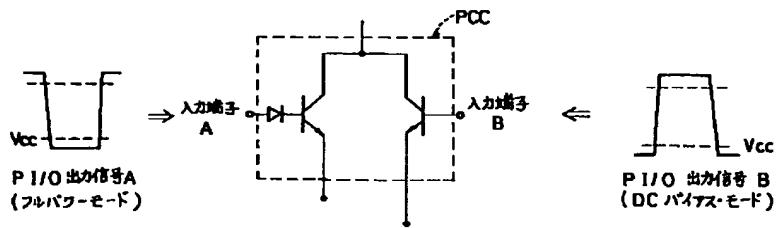
【図4】



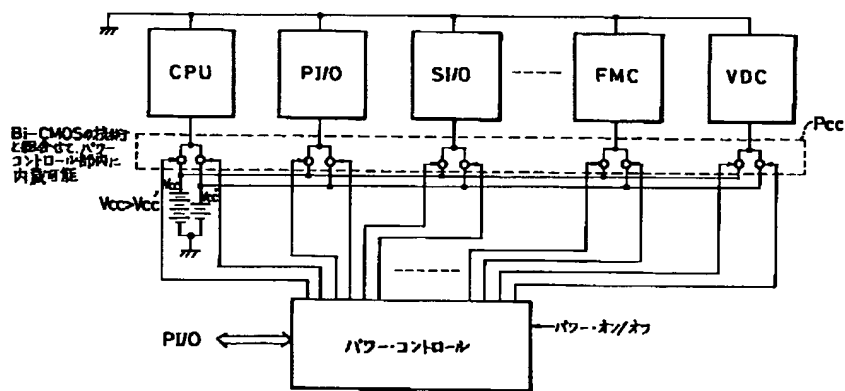
【図5】



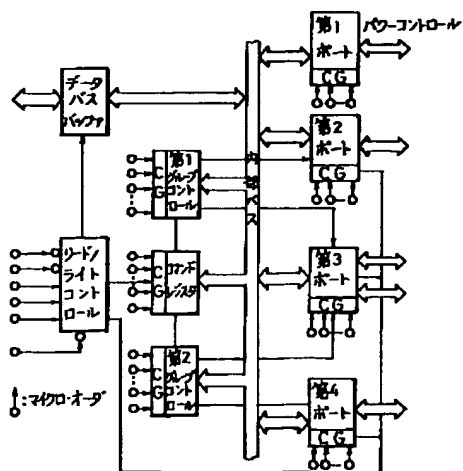
【図6】



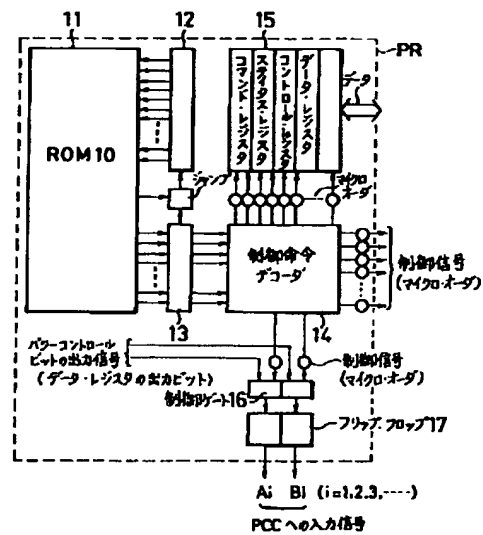
【図7】



【図9】

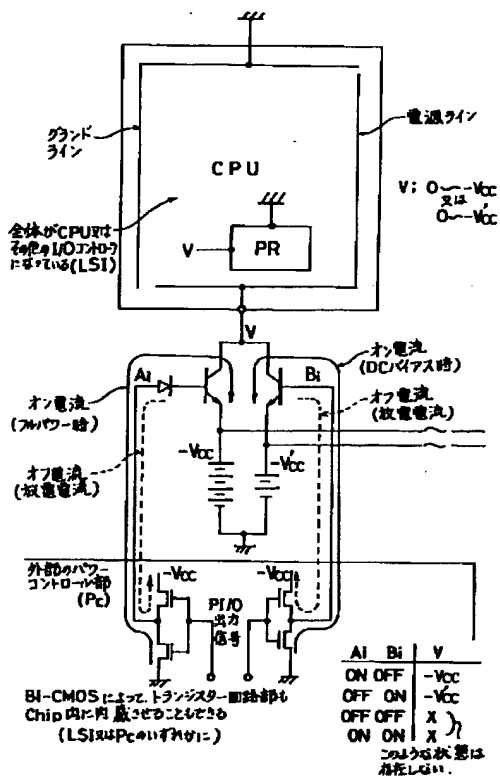


【図16】

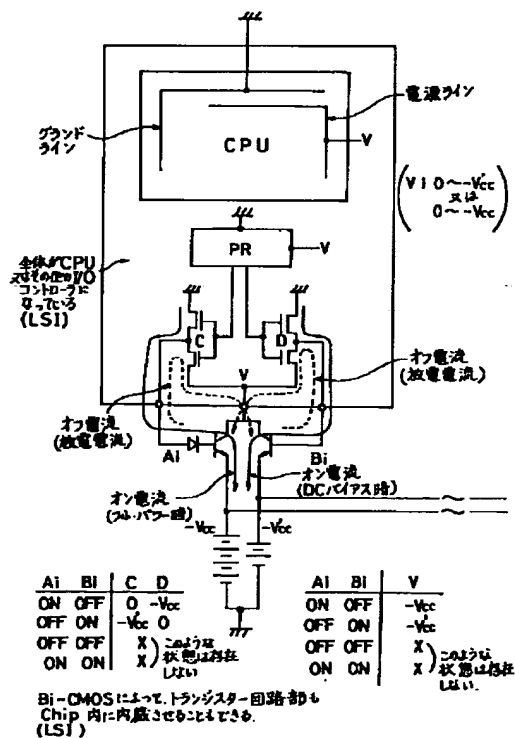




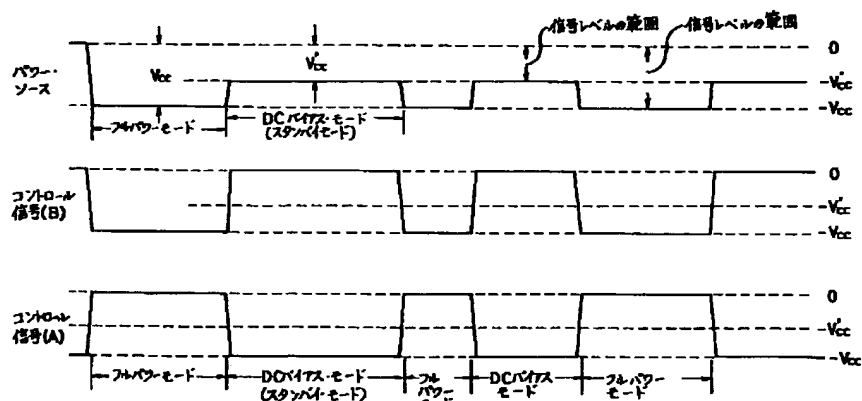
【図8】



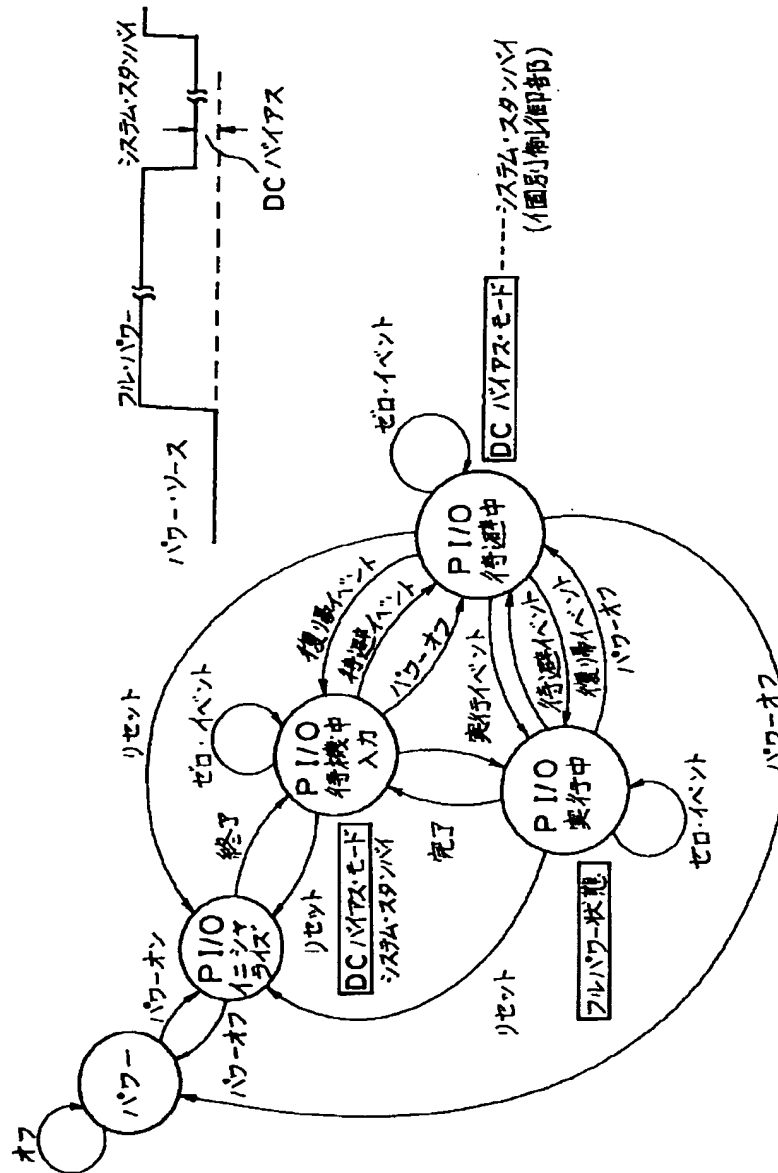
【例19】



【例 15】



【図11】



The diagram illustrates the internal architecture of the TMS320C25 DSP. It features a central horizontal bus connecting various functional blocks. On the left, the 'レジスタグループ' (Register Group) includes R1 through R5. Below this is a stack of registers: LC, PC, WA, WB, IX, IY, BP, and SP. Further down are two 24-bit registers, Z and X, which feed into the ALU. On the right, the 'アドレス延長制御' (Address Extension Control) block is connected to the 'アドレス延長テーブル' (Address Extension Table). The '主デコーダ' (Main Decoder) and '実行制御' (Execution Control) blocks are also shown. A vertical dashed line separates the 'レジスタ論理演算装置制御' (Register Logic Arithmetic Device Control) from the rest of the system. A legend on the right defines the components: ALU (Arithmetic Logic Unit), AD (Address Decoder), BS (Bus Switch), PC (Program Counter), X, Y, Z (Arithmetic Registers), BP (Branch Point), SP (Stack Point), IX, IY (Index Registers), LC (Long Counter), WA, WB (Word Length General Registers), and a note about the micro-processor (マイクロプロセッサ).

レジスタグループ

R1  
R2  
R3  
R4  
R5

バス

LC  
PC  
WA  
WB  
IX  
IY  
BP  
SP

Z  
Y  
X

ALU

AD

アドレス延長テーブル

BS

レジスタ論理演算装置制御

主デコーダ

実行制御

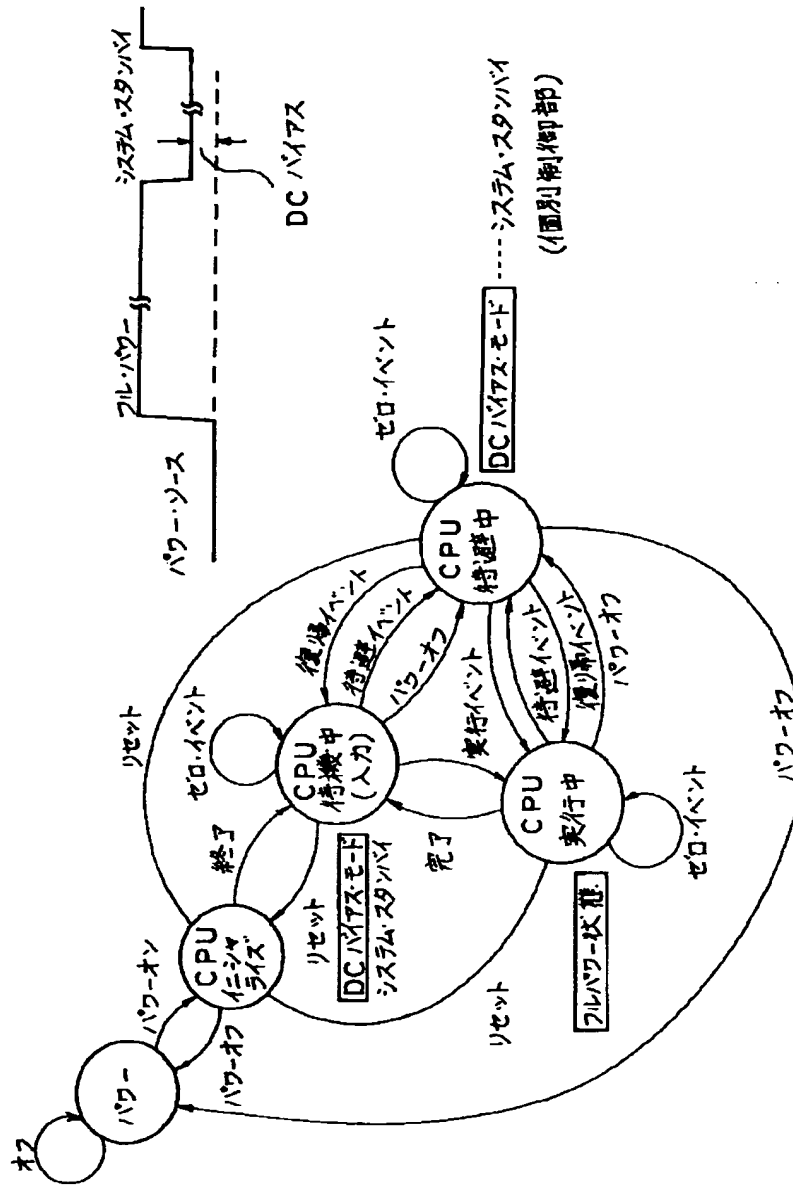
バスアドレス制御

マイクロプロセッサ

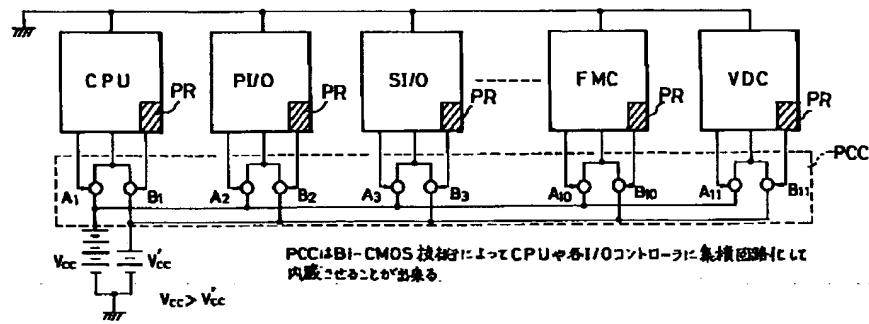
ALU: アリスメティック  
ロジックユニット  
AD: アドレスモディファイア  
BS: バススイッチ  
PC: プログラムカウンタ  
X,Y,Z: アリスメティック  
レジスタ  
BP: ブランチポイント  
SP: スタックポイント  
IX,IY: インデックスレジスタ  
LC: ロングカウンタ  
WA,WB: ワードレングス  
ジェネラルレジスタ

The diagram shows three horizontal timelines. The top timeline is labeled 'パワーソース' (Power Source) and has voltage levels 0,  $V_{CC}$ , and  $V_{CC}$  marked. It shows a sequence of pulses. The first pulse is labeled 'フルパワーモード' (Full Power Mode). The second pulse is labeled 'DCバイアスモード (スタンバイモード)' (DC Bias Mode (Standby Mode)). The third pulse is labeled 'フルパワーモード' (Full Power Mode). The middle timeline is labeled 'コントロール信号(B)' (Control Signal B) and has voltage levels 0,  $V_{CC}$ , and  $V_{CC}$  marked. It shows a sequence of pulses. The bottom timeline is labeled 'コントロール信号(A)' (Control Signal A) and has voltage levels 0,  $V_{CC}$ , and  $V_{CC}$  marked. It shows a sequence of pulses. The first pulse is labeled 'フルパワーモード' (Full Power Mode). The second pulse is labeled 'DCバイアスモード (スタンバイモード)' (DC Bias Mode (Standby Mode)). The third pulse is labeled 'フルパワーモード' (Full Power Mode). The fourth pulse is labeled 'DCバイアスモード (スタンバイモード)' (DC Bias Mode (Standby Mode)). The fifth pulse is labeled 'フルパワーモード' (Full Power Mode).

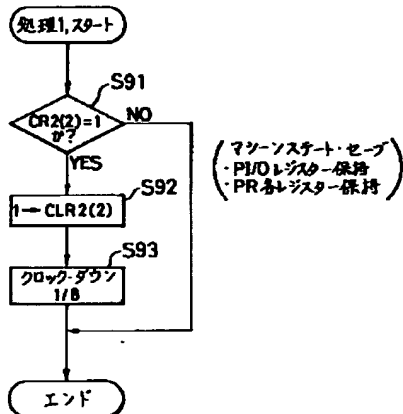
【図14】



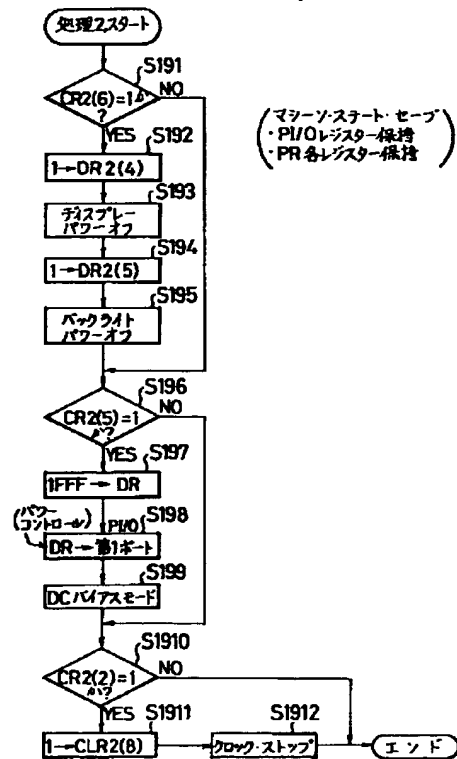
【図18】



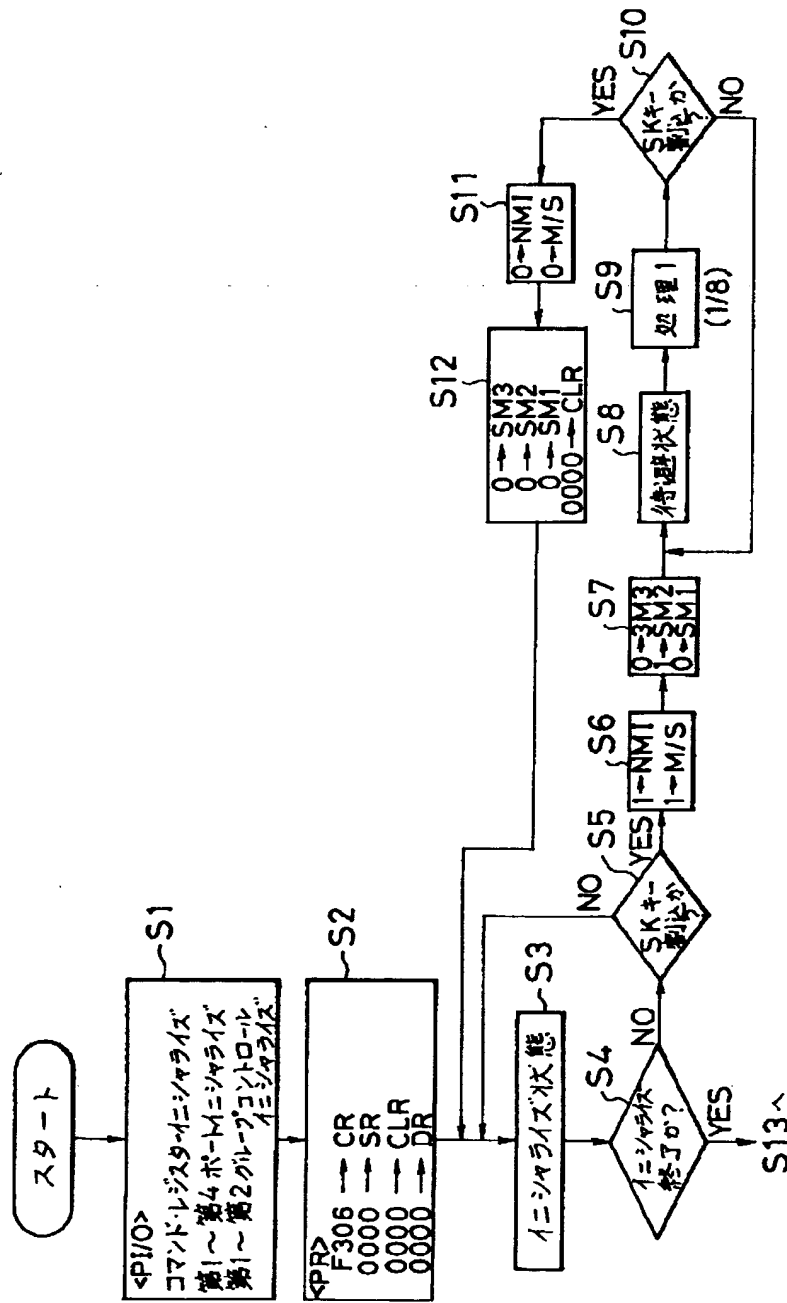
【図23】



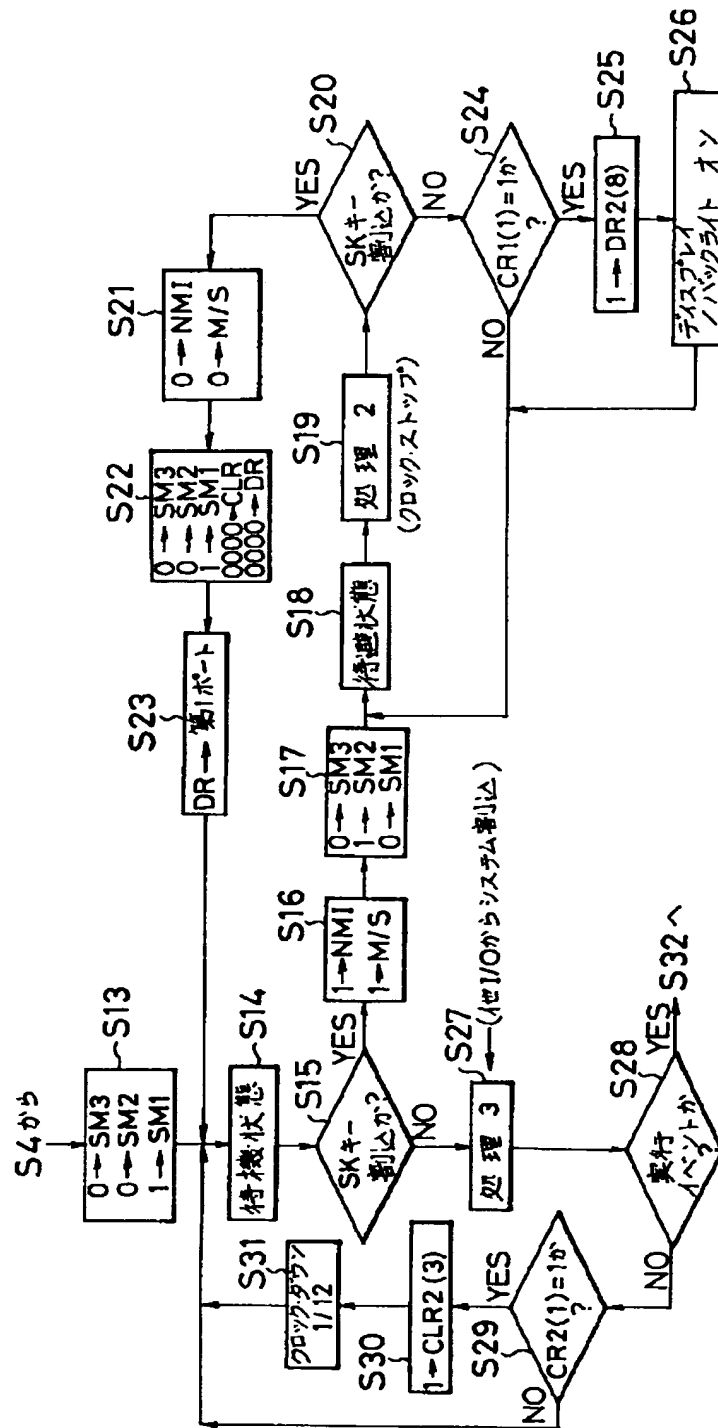
【図24】



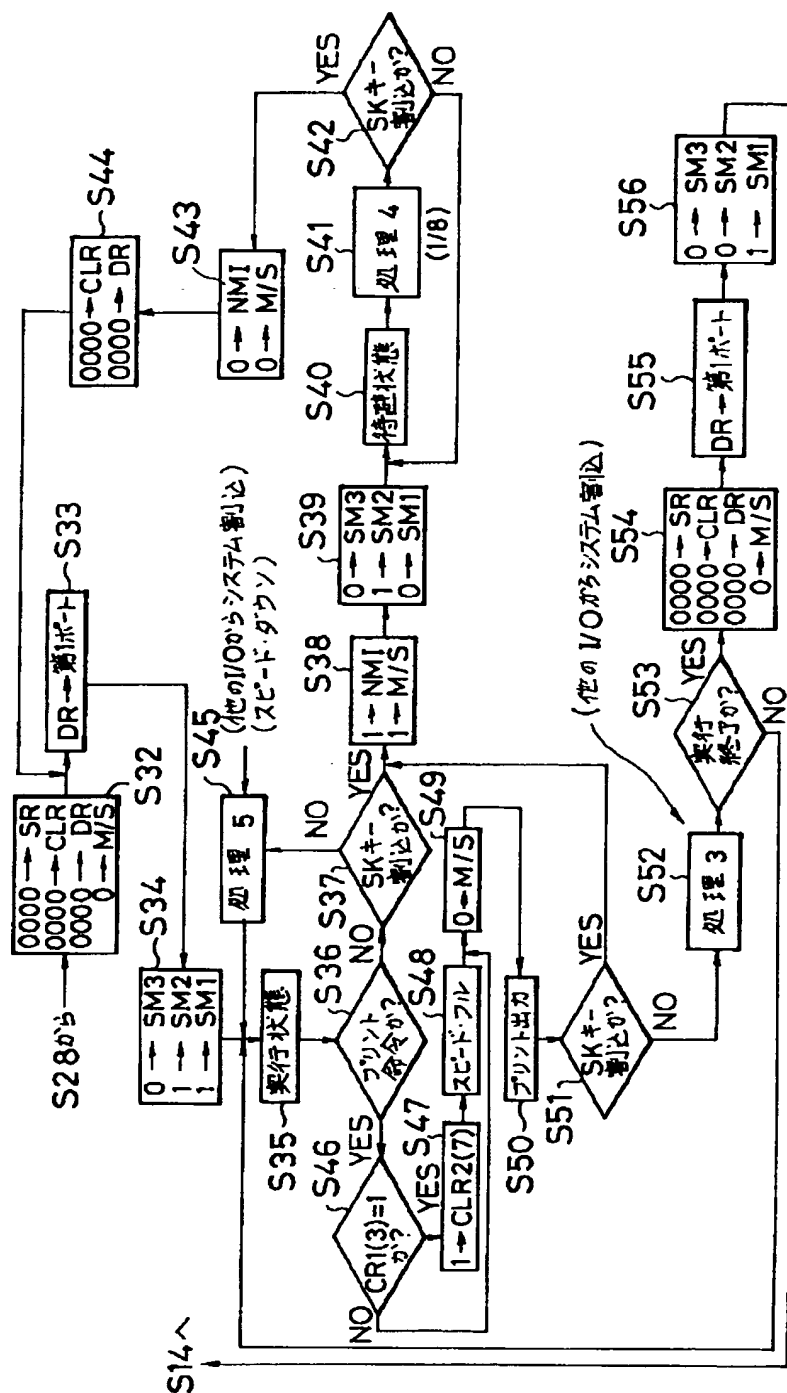
【図20】



【図21】

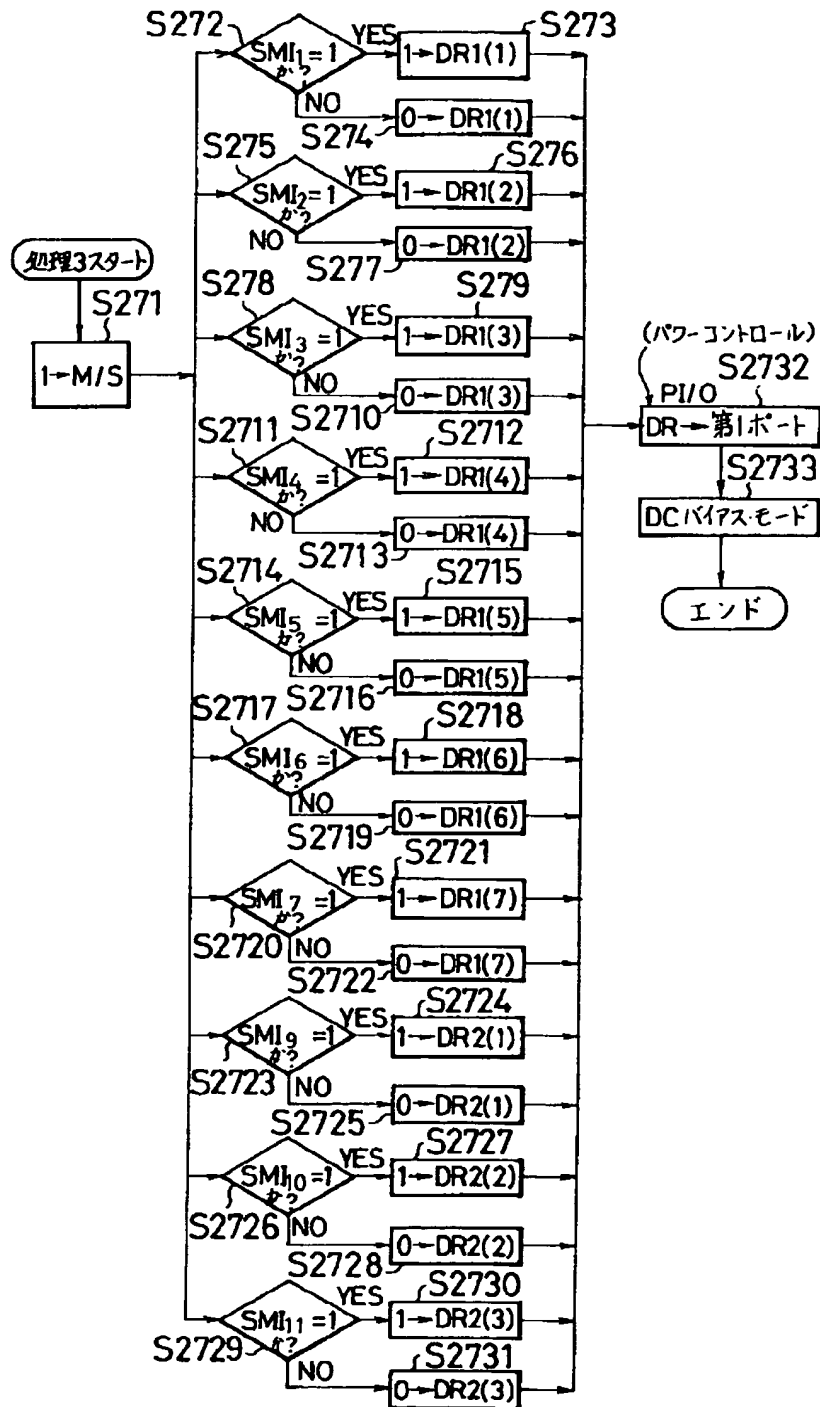


【図22】

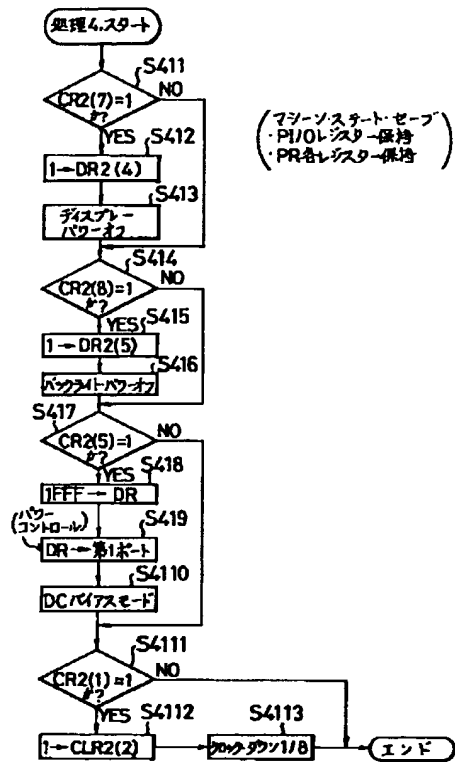




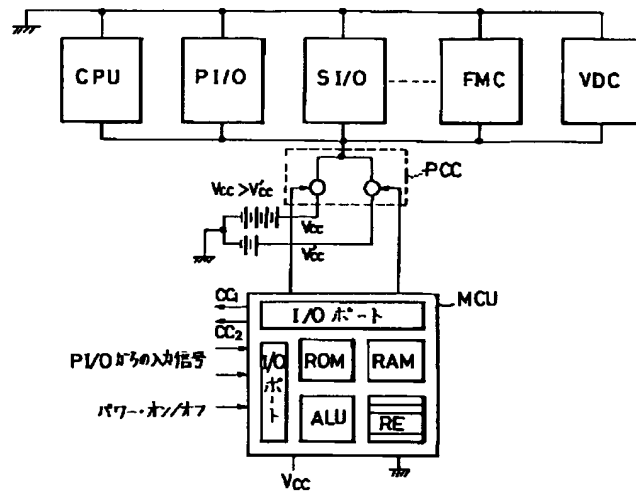
【図25】



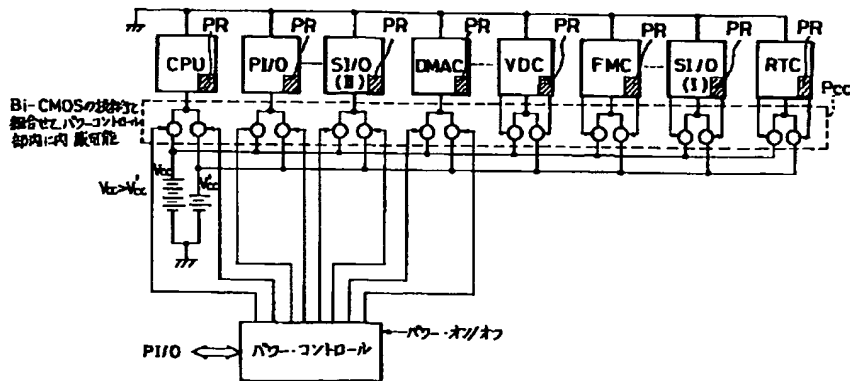
【図26】



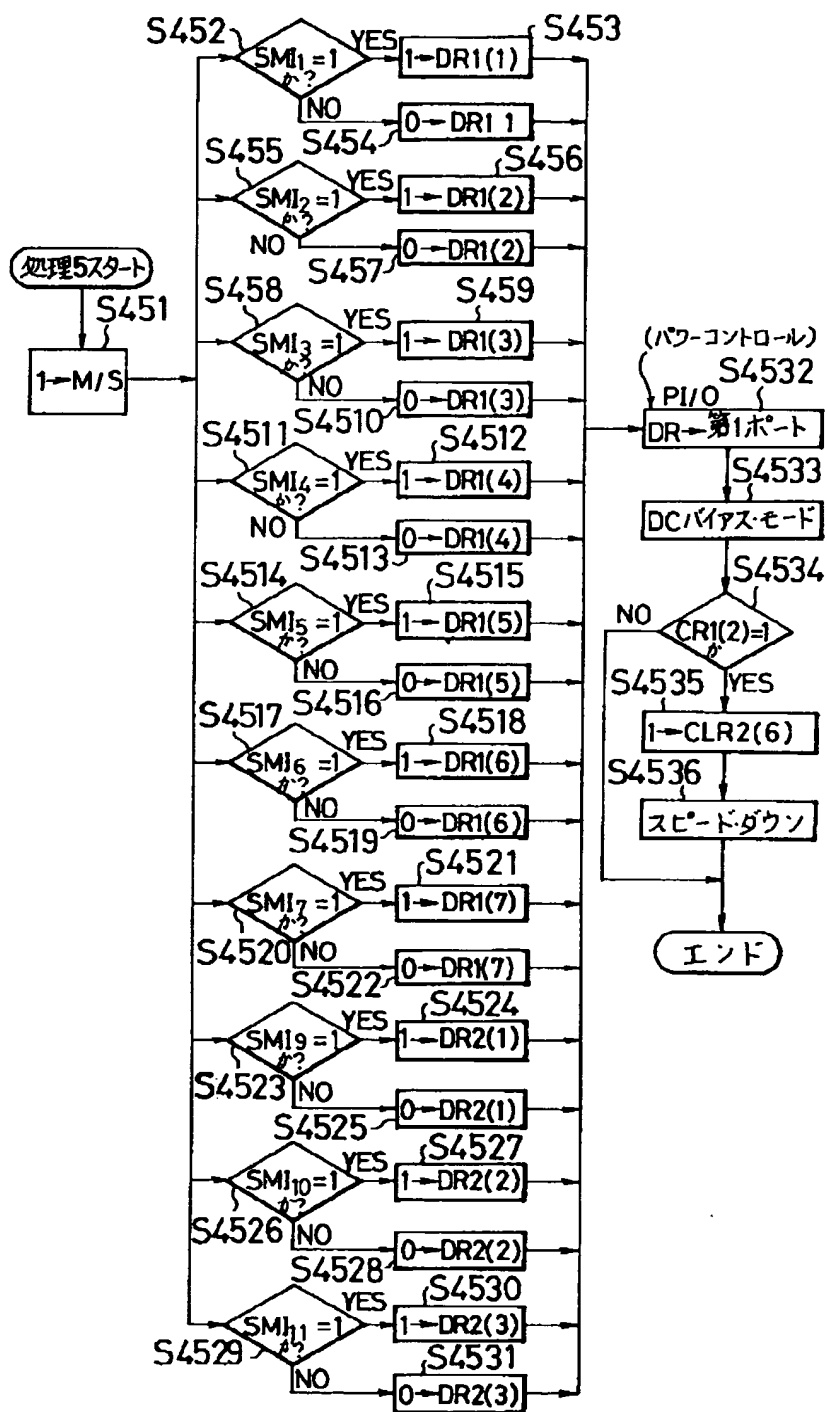
【図30】



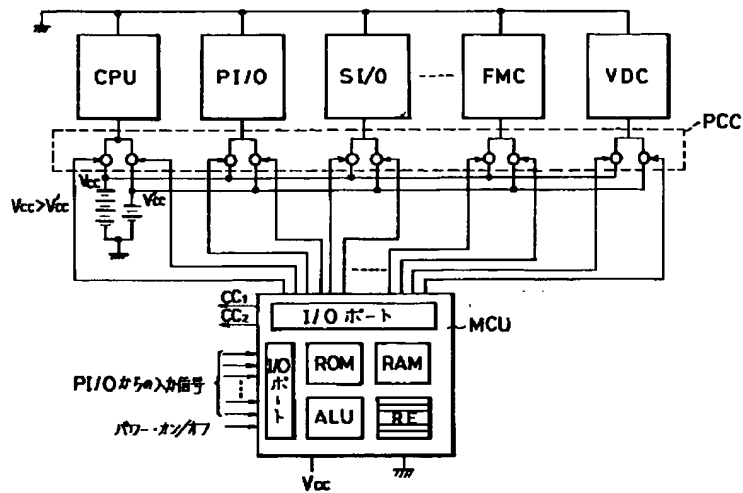
【図28】



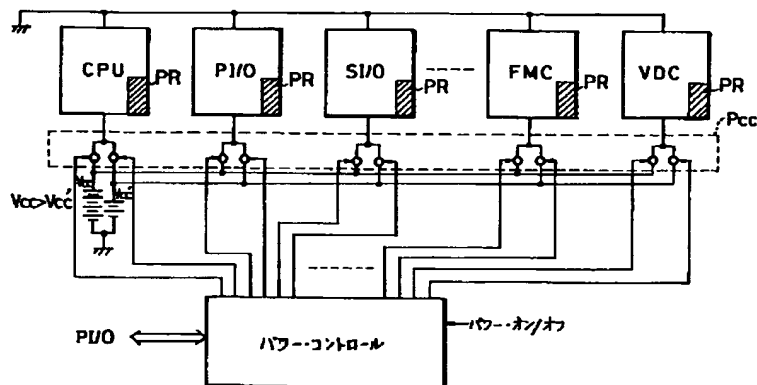
【図27】



【図29】



【図31】



## 【手続補正書】

【提出日】平成6年5月23日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0222

【補正方法】変更

【補正内容】

【0222】図19に示すように、CPUや他のI/OコントローラにはBi-CMOSが含まれており、Bi-CMOSはPCCの各端子Ai、Biに接続されていると共に、CPUや他のI/Oコントローラに含まれている個別制御部PRに接続されている。図32は、図3に示されるシステムを図18に示すように個別制御部PR自体でパワー制御を行うようにしたものである。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0284

【補正方法】変更

【補正内容】

【0284】図28は、図7の第1実施例と図18の第2実施例を組合わせた構成を示しており、各構成部分や動作は第1実施例及び第2実施例にそれぞれ対応しているので説明を省略する。図33は、図3に示されるシステムを図28に示すように1部のコンポーネントを個別制御部PR自体でパワー制御をし、他の1部のコンポーネントをPI/Oのパワーコントロールポートでパワー制御を行うようにしたものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0305

【補正方法】変更

【補正内容】

【0305】図31の構成による動作は、図7の構成による動作と多少異なるが、CPU等がそれぞれ個別制御部PRを持っている図3の構成による動作と同様なので、ここでは説明を省略する。図34は、図3に示されるシステムを図31に示すようにパワーコントロールポートでパワー制御を行うようにしたものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】図32

【補正方法】追加

【補正内容】

【図32】個別制御部によって分散的にパワーマネジメントされるシステムのLSI化を示すブロック図である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】図33

【補正方法】追加

【補正内容】

【図33】個別制御部によって分散的にパワーマネジメントされるシステムのLSI化を示す他のブロック図である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】図34

【補正方法】追加

【補正内容】

【図34】個別制御部によって分散的にパワーマネジメントされるシステムのLSI化を示す他のブロック図である。

【手続補正7】

【補正対象書類名】図面

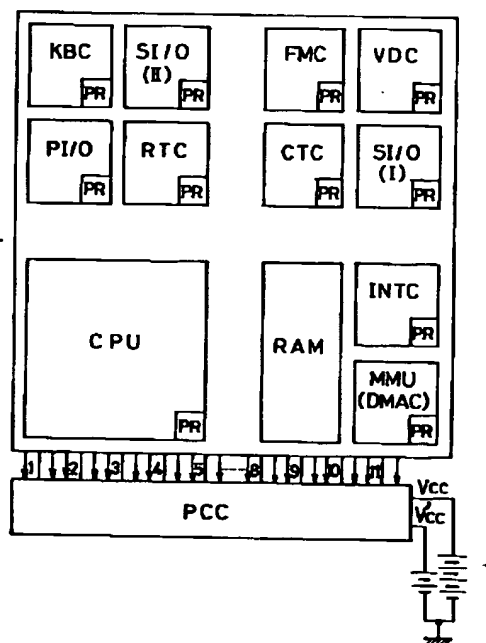
【補正対象項目名】図32

【補正方法】追加

【補正内容】

【図32】

図 32



【手続補正8】

【補正対象書類名】図面

【補正対象項目名】図33

【補正方法】追加

【補正内容】

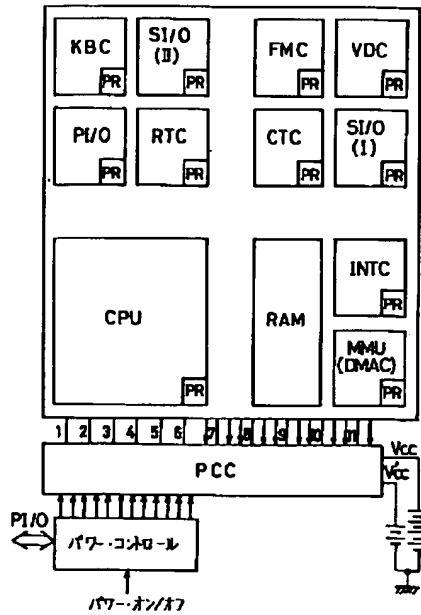
【図33】

図 33

【補正内容】

【図34】

図 34

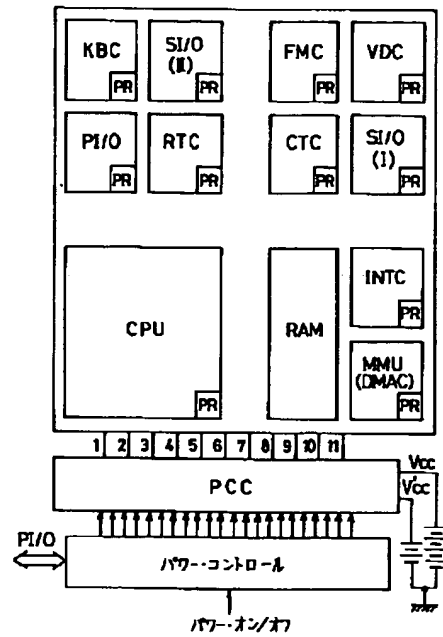


【手続補正9】

【補正対象書類名】図面

【補正対象項目名】図34

【補正方法】追加



フロントページの続き

(51)Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

7165-5B

G06F 1/00

332 Z